



⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑰ Offenlegungsschrift  
⑩ DE 101 36 333 A 1

⑤① Int. Cl. 7:  
H 01 L 21/8242

②① Aktenzeichen: 101 36 333 8 ✓  
②② Anmeldetag: 26. 7. 2001 ✓  
②③ Offenlegungstag: 6. 3. 2003

RECEIVED WITH THANKS  
- 4 März 2003  
PATENT ATTORNEYS  
ZIMMERMANN & PARTNER

INF-P10451-DE

⑦① Anmelder:  
Infineon Technologies AG, 81669 München, DE ✓  
⑦② Vertreter:  
Zimmermann & Partner, 80331 München ✓

⑦③ Erfinder:  
Birner, Albert, 01129 Dresden, DE; Lützen, Jörn,  
01099 Dresden, DE ✓

⑤⑤ Entgegenhaltungen:  
DE 100 11 889 A1 ✓

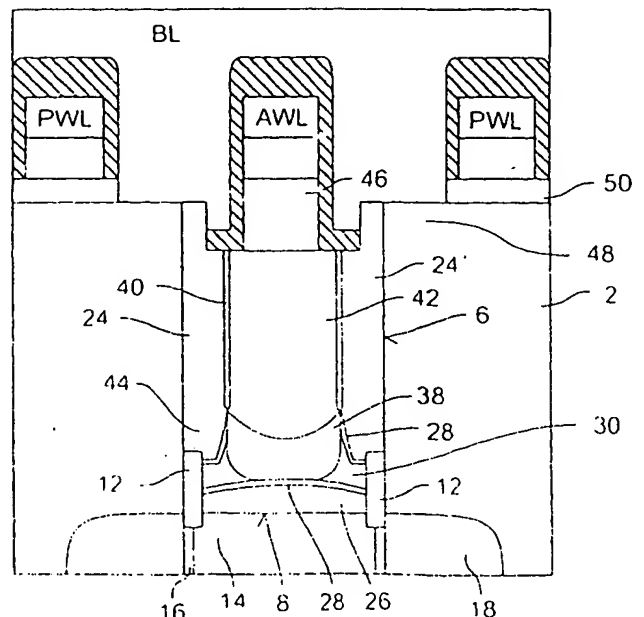
IDS nicht erforderlich, da  
nur DE, TW und CO - etete  
er

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zur Herstellung eines Vertikaltransistors in einem Graben sowie Vertikaltransistor ✓

⑤⑦ Zur Herstellung eines Vertikaltransistors wird ein Graben (4) bereitgestellt, dessen Seitenwand (6) von einem einkristallinen Halbleitersubstrat (2) und dessen Boden (8) von einem polykristallinen Halbleitersubstrat (10) gebildet wird. Zwischen der Seitenwand (6) und dem Boden (8) ist ein Übergangsbereich (12) aus einem isolierenden Material angeordnet. Selektiv zum Material des Übergangsbereichs (12) wird eine Halbleiterschicht abgeschieden, so daß auf der Seitenwand (6) eine epitaktische Halbleiterschicht (24) und auf dem Boden (8) eine Halbleiterschicht (26) aufwächst, zwischen denen ein Zwischenraum verbleibt. Die abgeschiedenen Halbleiterschichten (24, 26) werden mit einem dünnen, einen Stromfluß nur teilweise begrenzenden Dielektrikum (28) bedeckt und der Zwischenraum mit einem leitfähigen Material (30) gefüllt. Bei einer nachfolgenden Wärmebehandlung diffundieren Dotierstoffe aus dem leitfähigen Material (30) in die epitaktische Halbleiterschicht (26) und bilden dort ein Dotierungsgebiet (44). Das dünne Dielektrikum (28) begrenzt einerseits die Diffusion der Dotierstoffe in das Halbleitersubstrat (2) und andererseits verhindert es die Ausbreitung von Kristallgitterfehlern in die epitaktische Halbleiterschicht (26).



1,5F

DE 101 36 333 A 1

5.3.03

## Beschreibung

[0001] Die Erfindung liegt auf dem Gebiet der Halbleitertechnologie, insbesondere auf dem Gebiet der Technologie für Halbleiterspeicher, und betrifft ein Verfahren zur Herstellung eines Vertikaltransistors in einem Graben sowie einen Vertikaltransistor in einem Graben.

[0002] Bei künftigen Generationen von Halbleiterprodukten wird mit Strukturbreiten  $F$  (ground rules) unter 100 nm gearbeitet. Unter einer Strukturbreite wird die lithographisch minimal erreichbare Auflösung verstanden. Mit fortschreitender Verbesserung der verwendeten Lithographieverfahren lassen sich zunehmend kleinere Strukturbreiten erzielen, die jedoch immer höhere Anforderungen an den gesamten Herstellungsprozeß stellen.

[0003] Die zunehmende Verkleinerung der Strukturbreiten läßt bei dynamischen Halbleiterspeichern (DRAM) einen Übergang von einem planaren Auswahltransistor zu einem vertikalen Auswahltransistor, der möglicherweise in den oberen Teil des Grabenkondensators integriert ist, erwarten. Diese Änderung in der Anordnung von Speicherkondensator und Auswahltransistor ist zum einen bedingt durch die physikalischen Grenzen, die für planare Transistoren mit Kanallängen unter 100 nm auftreten. Deran kleine Kanallängen bergen z. B. die Gefahr erhöhter Leckströme. Außerdem begrenzt der kleine Querschnitt des Kanals die Höhe des maximal fließenden Stromes. Andererseits ist der Wechsel auf ein vertikales Zellkonzept von dem Wunsch getragen, möglichst kompakte, d. h. in ihrer lateralen Ausdehnung kleine Speicherzellen zu erzielen. Die Größe von Speicherzellen wird in Vielfachen von  $F^2$  angegeben. Ein weiteres Problem, das den Wechsel auf vertikale Zellkonzepte wünschenswert erscheinen läßt, ist in der Ausbildung des Anschlusses (buried strap) der inneren Elektrode des Grabenkondensators an den Auswahltransistor zu suchen, da dieser Anschluß aufgrund der Ausdiffusion von Dotierstoffen eine gewisse Ausdehnung aufweist und dadurch die Gefahr eines Übersprechens zwischen benachbarten Speicherzellen in sich birgt.

[0004] Bei einem Vertikaltransistor verläuft im Gegensatz zu einem lateralen Transistor der Transistorkanal in vertikaler Richtung in Bezug auf die Hauptebene des Halbleitersubstrats.

[0005] Speicherzellen mit einem Vertikaltransistor haben darüber hinaus den grundsätzlichen Vorteil, daß bei ihnen die Kanallänge des Auswahltransistor unabhängig von der verwendeten Strukturbreite  $F$  eingestellt werden kann.

[0006] Verfahren zum Herstellen eines Vertikaltransistors in einem Graben sind zum Beispiel in der US 6.093.614 und der US 5.365.097 beschrieben. In beiden Verfahren wird an einer Seitenwand des Kondensatorgrabens eine epitaktische Halbleiterschicht zur Bildung des vertikal verlaufenden Kanalgebiets abgeschieden. Durch Ausdiffusion von Dotierstoffen aus dem mit dotierten Polysilizium gefüllten Graben entsteht in der epitaktischen Halbleiterschicht ein Drain-Gebiet. Problematisch hierbei ist, daß die Ausdiffusion räumlich nicht auf die epitaktische Halbleiterschicht begrenzt ist, sondern bis weit in das einkristalline Halbleitersubstrat hin einreicht und damit in Verbindung zu Ausdiffusionsgebieten benachbarter Speicherzellen treten kann. Ein weiterer Nachteil der vorbekannten Verfahren besteht darin, daß die epitaktische Halbleiterschicht auch auf dem Polysilizium am Grabenboden aufwächst. Aufgrund des polykristallinen Untergrundmaterials kann die epitaktische Halbleiterschicht dort ebenfalls nur polykristallin sein, so daß die epitaktische Halbleiterschicht nicht frei von Kristallgitterfehlern ist. Insbesondere bildet sich beim Zusammenwachsen der auf das polykristalline Untergrundmaterial und der auf das ein-

kristalline Halbleitermaterial der Seitenwände abgeschiedenen Halbleiterschichten eine durch Anhaufung von Kristallgitterfehlern gekennzeichnete epitaktische Schließfuge. Kristallgitterfehler wirken sich jedoch nachteilig auf die Transistoreigenschaften aus.

[0007] Daher liegt der Erfindung die Aufgabe zugrunde, ein Verfahren zur Herstellung eines Vertikaltransistors in einem Graben anzugeben, bei dem die epitaktische Halbleiterschicht nahezu fehlerfrei und die Ausdiffusion räumlich begrenzt ist.

[0008] Diese Aufgabe wird erfindungsgemäß mit den Schritten gelöst:

- Bereitstellen eines Grabens,

dessen Boden und dessen zumindest eine Seitenwand zumindest bereichsweise aus einem Halbleitermaterial bestehen und

der einen Übergangsbereich aus einem isolierenden Material zwischen den aus Halbleitermaterial bestehenden Bereichen von Boden und Seitenwand aufweist;

- selektives Abscheiden von Halbleitermaterial auf die aus Halbleitermaterial bestehenden Bereiche der Seitenwand und des Bodens des Grabens zur Bildung von Halbleiterschichten, wobei

zumindest die auf der Seitenwand abgeschiedene Halbleiterschicht als epitaktische Halbleiterschicht aufwächst, und

zwischen den auf Boden und Seitenwand abgeschiedenen Halbleiterschichten ein Zwischenraum verbleibt;

- Bilden eines dünnen, einen elektrischen Strom nur teilweise begrenzenden Dielektrikums auf zumindest einer der beiden abgeschiedenen Halbleiterschichten;

- Auffüllen des Zwischenraums zwischen den beiden abgeschiedenen Halbleiterschichten mit einem leitfähigen Material; und

- Bilden eines Gatedielektrikums und einer Gateelektrode auf der aufgewachsenen epitaktischen Halbleiterschicht.

[0009] Gemäß der vorliegenden Erfindung füllt die epitaktische Halbleiterschicht weder wie in der US 6.093.614 den gesamten Graben aus noch wächst sie wie in der US 5.365.097 mit dem auf den Boden des Grabens abgeschiedenen Polysilizium zusammen, sondern die Halbleiterschichten werden unter Freilassung eines Zwischenraums abgeschieden. Dadurch werden in vorteilhafter Weise die Bildung einer epitaktischen Schließfuge sowie Kristallgitterfehler verhindert. Insbesondere die auf die Seitenwand aufwachsende epitaktische Halbleiterschicht ist fehlerfrei, so daß sich dort ein perfekter Transistorkanal ausbilden kann. Um auch bei nachfolgenden Schritten, bei denen der Zwischenraum mit einem leitfähigen Material gefüllt wird, die Ausbildung von Kristallgitterfehlern zu unterdrücken, wird zumindest auf der epitaktischen Halbleiterschicht ein dünnes, einen elektrischen Strom nur teilweise begrenzendes Dielektrikum gebildet. Dieses erfüllt zwei Funktionen. Zum einen wird die auf der Seitenwand aufgewachsene epitaktische Halbleiterschicht von nicht einkristallinen Halbleiterschichten getrennt, so daß sich Kristallgitterfehler nicht auf die epitaktische Halbleiterschicht ausdehnen können. Das dünne Dielektrikum erfüllt somit die Funktion einer Anpassungs- oder Pufferschicht zwischen dem abgeschiedenen leitfähigen Material und der epitaktischen Halbleiterschicht. Zum anderen begrenzt das dünne Dielektrikum die Diffusion von Dotierstoffen aus dem leitfähigen Material in die epitaktische Halbleiterschicht und in das angrenzende einkristalline Halbleitersubstrat. Das sich dabei herausbil-

dende Dotierungsgebiet ist somit kompakter und erstreckt sich räumlich nicht so weit in das einkristalline Halbleitersubstrat. Die Gefahr von einander überlappenden Dotierungsgebieten benachbarter Transistoren ist deutlich reduziert. Dabei können die Gräben, in denen die vertikalen Transistoren ausgebildet sind auch räumlich enger zueinander angeordnet sein. Ein weiterer Vorteil des so hergestellten Vertikaltransistors besteht in der Wahlfreiheit bei der Einstellung des Kanalquerschnitts und der Kanallänge. Die Kanallänge wird im wesentlichen durch die Länge der epitaktischen Schicht vorgegeben. Der Querschnitt des Kanals dagegen durch deren Dicke.

[0010] Die Abscheidung der Halbleiterschichten erfolgt bevorzugt selektiv zum Material des Übergangsbereichs, so daß die Halbleiterschichten lediglich auf der Unterlage aus Halbleitermaterial aufwachsen. Die Selektivität führt auch zu qualitativ besseren Halbleiterschichten.

[0011] Damit das dünne Dielektrikum einen elektrischen Stromfluß nur in vertretbarer Weise vermindert, wird es bevorzugt auf 2 bis 3 Monolagen begrenzt. Die Dicke kann dabei etwa 5 Å betragen. Der durch das dünne Dielektrikum bestimmte Übergangswiderstand sollte im Bereich von 1 KOhm liegen. Aufgrund der relativ großen Fläche zwischen epitaktischem Halbleitergebiet und abgeschiedenem Halbleitermaterial wirkt sich der durch das dünne Dielektrikum bedingte Widerstand nicht so stark aus. Bevorzugt wird das Dielektrikum durch einen selbsthemmenden Prozeß hergestellt. Ein derartiger Prozeß ist z. B. die Nitridierung von Silizium in einer ammoniakhaltigen Atmosphäre bei etwa 700 W für ca. 10 min.

[0012] Bevorzugt besteht das dünne Dielektrikum aus Siliziumnitrid und die abgeschiedenen Halbleiterschichten aus Silizium, wobei das dünne Dielektrikum durch thermische Nitridierung der Halbleiterschichten erzeugt wird.

[0013] In einer vorteilhaften Ausführungsform des erfindungsgemäßen Verfahrens werden die Seitenwände des Grabens durch ein einkristallines Halbleitersubstrat und das den Boden des Grabens darstellende Halbleitermaterial durch polykristallines Halbleitermaterial gebildet. Dabei ist es bevorzugt, wenn das polykristalline Halbleitermaterial vom ersten Leistungstyp und das einkristalline Halbleitersubstrat vom zweiten Leistungstyp ist. Die abgeschiedenen Halbleiterschichten nehmen dabei bevorzugt die Dotierung ihrer Unterlage ein. Günstig ist es z. B., wenn das selektiv auf die Seitenwand und den Boden abgeschiedene Halbleitermaterial den Leitfähigkeitstyp des einkristallinen Halbleitermaterials der Seitenwand besitzt. In einem nachfolgenden Dotierungsschritt, beispielsweise mittels Implantation, wird das auf den Boden abgeschiedene Halbleitermaterial umdotiert, um den Leistungstyp des polykristallinen Halbleitermaterials am Boden einzustellen.

[0014] Da die Kristallinität der abgeschiedenen Halbleiterschichten u. a. von der Kristallinität ihrer Unterlagen abhängt, wächst die am Boden des Grabens abgeschiedene Halbleiterschicht polykristallin auf. Günstig ist es weiterhin, wenn die epitaktische Halbleiterschicht während ihrer Bildung in situ dotiert wird. Die Höhe der Dotierung kann dabei während der Abscheidung verändert werden. Sofern der Querschnitt des Grabens kreisförmig oder elliptisch angenommen wird, lassen sich kreisförmig bzw. konzentrisch verlaufende Gebiete gleicher oder unterschiedlicher Dotierstoffkonzentration für die optimale Einstellung der Eigenschaften des Transistorkanals erzeugen. Vorteilhaft ist ein breiter Kanalquerschnitt mit einer homogenen Charakteristik, ggf. mit einer erhöhten Dotierstoffkonzentration zum Gatedielektrikum hin.

[0015] Typischerweise ist der horizontal zur Substratoberfläche verlaufende Querschnitt des Grabens ellipsenförmig.

Dabei können die stärker gekrümmten Bereiche durch in das Halbleitersubstrat eingebrachte Isolationsgebiete abgeschnitten sein. In diesem Fall besteht das epitaktische Halbleitergebiet aus zwei einander gegenüberliegende Halbschichten.

[0016] Das dünne Dielektrikum sollte zumindest die epitaktische Halbleiterschicht gegenüber dem leitfähigen Material begrenzen. Alternativ kann das dünne Dielektrikum zusätzlich auch auf der am Boden des Grabens abgeschiedenen Halbleiterschicht vorgesehen werden.

[0017] Eine Möglichkeit, das dünne Dielektrikum nur auf der epitaktischen Halbleiterschicht zu erzeugen besteht darin, daß

- das dünne Dielektrikum auf beiden abgeschiedenen Halbleiterschichten gebildet wird, und
- vor dem Auffüllen des Zwischenraums mit dem leitfähigen Material eine isolierende Schicht mit einem anisotropen Abscheideverfahren abgeschieden und nachfolgend isotrop geätzt wird, so daß die isolierende Schicht von vertikalen Flächen entfernt und im wesentlichen am Boden des Grabens verbleibt.

[0018] Dabei wird bevorzugt, wenn

- zum Auffüllen des Zwischenraums mit dem leitfähigen Material zunächst der gesamte Graben weitgehend mit dem leitfähigen Material gefüllt wird,
- eine Maske im Bereich der Grabenöffnung oberhalb der auf der Seitenwand aufgetragenen epitaktischen Halbleiterschicht gebildet wird,
- eine anisotrope Ätzung unter Verwendung der Maske durchgeführt wird, bei der das leitfähige Material bis auf den Zwischenraum aus dem Graben entfernt und gleichzeitig eine zum Innenraum des Grabens weisende Fläche der epitaktischen Halbleiterschicht freigelegt wird, und
- auf der freigelegten Fläche der epitaktischen Halbleiterschicht das Gatedielektrikum gebildet wird.

[0019] Als günstig hat es sich weiterhin gezeigt, wenn

- die anisotrope Ätzung auf der am Boden des Grabens verbliebenen isolierenden Schicht stoppt,
- die isolierende Schicht und das dünne Dielektrikum nachfolgend vom Boden des Grabens entfernt werden, und
- der so entstandene Hohlraum zwischen dem leitfähigen Material und der am Boden des Grabens abgeschiedenen Halbleiterschicht mit einem weiteren leitfähigen Material gefüllt wird.

[0020] Bei dem weiteren leitfähigen Material sollte es sich bevorzugt um Polysilizium oder Wolframsilizid handeln. Das Polysilizium kann dabei vom ersten Leistungstyp und hochdotiert sein.

[0021] Zur Bildung eines Dotierungsgebiets vom ersten Leistungstyp in der epitaktischen Halbleiterschicht wird eine Wärmebehandlung durchgeführt, bei der Dotierstoffe aus dem leitfähigen Material und ggf. aus dem am Boden befindlichen polykristallinen bzw. dort abgeschiedenen Halbleitermaterial in die epitaktische Halbleiterschicht durch das auf der epitaktischen Halbleiterschicht gebildete dünne Dielektrikum eindiffundieren. Die Wärmebehandlung kann z. B. bei 1050 °C für 1 min durchgeführt werden. Günstig ist es, wenn dies im Rahmen einer bereits für andere Zwecke erforderlichen Wärmebehandlung erfolgen kann. Hierfür bietet sich z. B. ein Oxidationsschritt an, mit dem

die in das Halbleitersubstrat geätzten Seitenwände von Isolationsgräben vor dem eigentlichen Auffüllen mit einem isolierenden Material mit einer etwa 10 nm dicken Oxidschicht versehen werden. Ein weiterer Prozeß ist ebenfalls ein Oxidationsprozeß, bei dem eine Passivierung von nicht als aktive Gebiete verwendete Halbleitersubstratoberflächen erfolgt.

[0022] Besonders bevorzugt ist es, wenn der Graben ein oberer Teil eines Kondensatorgrabens ist und das am Boden des Grabens befindliche Halbleitermaterial von dem polykristallinen Halbleitermaterial der inneren Kondensatorelektrode des Grabenkondensators gebildet wird. In diesem Fall wird im oberen Teil des Kondensatorgrabens ein vertikaler Auswahltransistor hergestellt, der keinen zusätzlichen planaren Platz benötigt. Der vertikale Transistor ist vollständig im Kondensatorgraben integriert.

[0023] Als besonderer Vorteil hat es sich gezeigt, daß der Graben einen Querschnitt aufweisen kann, dessen Ausdehnung größer als die kleinste lithographisch erreichbare Strukturbreite ist, die beispielsweise bei der Herstellung lateraler Transistoren verwendet wird. Ein Vertikaltransistor beansprucht im Vergleich zu einem lateral ausgebildeten Transistor keinen zusätzlichen lateralen Platz. Die einzelnen Kondensatorgräben können damit enger zueinander angeordnet werden. Der minimale laterale Abstand zwischen zwei Kondensatorgräben (gemessen von Grabenwand des einen zur Grabenwand des benachbarten Kondensatorgrabens) ist jedoch durch die Größe der Ausdiffusionsgebiete (buried strap) gegeben, die zur Kontaktierung der inneren Kondensatorelektroden mit den Drain-Gebieten der Auswahltransistoren gebildet werden. Hier ermöglicht die Erfindung, diesen Abstand weiter zu verringern, da die Ausdiffusionsgebiete aufgrund des dünnen Dielektrikums in ihrer Ausdehnung begrenzt sind und nicht so weit in das Halbleitersubstrat hineinreichen. Bevorzugt kann das Ausdiffusionsgebiet auch hinter einem Schutzmantel ausgebildet werden, um das Ausdiffusionsgebiet weitgehend auf die epitaktische Halbleiterschicht zu begrenzen. Der Isolationskragen des Grabenkondensators stellt zum Beispiel einen derartigen Schutzmantel dar. Die durch das erfindungsgemäße Verfahren ermöglichte Verringerung des minimalen lateralen Abstandes gestattet andererseits, den Querschnitt der Gräben bei konstanter Packungsdichte der Kondensatorgräben zu vergrößern. Die Vergrößerung des Durchmessers führt zu einer Reihe von prozeßtechnischen Vorteilen bei der Herstellung des Grabenkondensators. Insbesondere lassen sich sämtliche Ätz-, Strukturierungs- und Abscheideschritte im Kondensatorgraben durch das vergrößerte Platzangebot leichter durchführen. Als Beispiele sollen hier die Ätzung des Kondensatorgrabens an sich, die Ausbildung des Isolationskragens im oberen Teil des Kondensatorgrabens, die Bildung des Speicherdielektrikums sowie die Abscheidung des Füllmaterials zur Bildung der inneren Kondensatorelektrode genannt werden. Der größere Querschnitt des Kondensatorgrabens führt weiterhin auch zu einem verringerten Reihenwiderstand der inneren Kondensatorelektrode. Oberflächenvergrößernde Maßnahmen im Kondensatorgraben zur Erhöhung der Speicherkapazität, zu nennen wären hier hemispherical silicon grain (HSG) oder wavy trenches, lassen sich ebenfalls leichter durchführen.

[0024] Die Erfindung wird weiterhin gelöst durch ein Verfahren zur Herstellung eines Vertikaltransistors in einem Graben mit den Schritten:

Bilden eines Grabens in einem einkristallinen Halbleitermaterial vom zweiten Leitungstyp, der mit einem Dielektrikum bis auf seinen oberen Teil ausgekleidet und mit einem dotierten polykristallinen Halbleiterma-

terial vom ersten Leitungstyp aufgefüllt ist, so daß ein oberer Teilgraben verbleibt, der sich oberhalb des polykristallinen Halbleitermaterials erstreckt, wobei ein etwa ringförmig am Boden des Teilgrabens verlaufender Übergangsbereich aus isolierendem Material zwischen dem sich am Boden des Teilgrabens befindenden polykristallinen Halbleitermaterial und dem die Seitenwände des Teilgrabens bildenden einkristallinen Halbleitermaterial angeordnet ist:

- selektives Abscheiden von Halbleitermaterial auf Seitenwand und Boden des Teilgrabens zur Bildung von Halbleiterschichten, wobei

- die auf der Seitenwand abgeschiedene Halbleiterschicht als epitaktische Halbleiterschicht und
- die auf den Boden abgeschiedene Halbleiterschicht als polykristalline Halbleiterschicht aufwächst, und
- zwischen den beiden abgeschiedenen Halbleiterschichten ein Zwischenraum verbleibt;

- Bilden eines dünnen, einen elektrischen Strom nur teilweise begrenzenden Dielektrikums auf der epitaktischen Halbleiterschicht;

- Auffüllen des Zwischenraums zwischen den beiden abgeschiedenen Halbleiterschichten mit einem dotierten polykristallinen Halbleitermaterial vom ersten Leitungstyp;

- Bilden eines Gatedielektrikums und einer Gateelektrode auf der epitaktischen Halbleiterschicht; und

- Durchführen einer Wärmebehandlung, durch die Dotierstoffe vom ersten Leitungstyp aus dem abgeschiedenen polykristallinen Halbleitermaterial durch das dünne Dielektrikum in die epitaktische Halbleiterschicht diffundieren und dort ein Dotierungsgebiet vom ersten Leitungstyp bilden.

[0025] Der Erfindung liegt weiterhin die Aufgabe zugrunde, einen Vertikaltransistor in einem Graben anzugeben, der zumindest eine Seitenwand und einem Boden aufweist, wobei das Kanalgebiet des Vertikaltransistors in einer auf der Seitenwand abgeschiedenen epitaktischen Halbleiterschicht ausgebildet ist und die epitaktische Halbleiterschicht mit einem den Boden des Grabens bildenden Halbleitermaterial elektrisch leitend verbunden ist, wobei der Vertikaltransistor ein weitgehend fehlerfreies Kanalgebiet und ein verkleinertes Ausdiffusionsgebiet aufweisen soll. Ein Vertikaltransistor ist zum Beispiel in der bereits genannten US 5,365,097 beschrieben.

[0026] Die vorstehend genannte Aufgabe wird bei dem erwähnten Vertikaltransistor dadurch gelöst, daß zwischen der epitaktischen Halbleiterschicht und dem elektrisch leitfähigen Material ein dünnes, einen elektrischen Strom nur teilweise begrenzendes Dielektrikum angeordnet ist.

[0027] Bevorzugt bildet die Seitenwand des Grabens eine umlaufend zusammenhängende Fläche, entlang der die epitaktische Halbleiterschicht in Form von zwei einander gegenüberliegenden Halbschalen ausgebildet ist.

[0028] Bevorzugt ist der Vertikaltransistor Teil eines Halbleiterprodukts mit wenigstens einer Speicherzelle, die

- einen in einem Halbleitersubstrat ausgebildeten Graben mit einem oberen und einem unteren Abschnitt,

- ein zumindest den unteren Abschnitt des Grabens auskleidendes Speicherdielektrikum,

- eine im unteren Abschnitt des Grabens angeordnete Kondensatorelektrode, wobei die andere Kondensatorelektrode vom Halbleitersubstrat gebildet wird, und

- den im oberen Abschnitt des Grabens ausgebildeten Vertikaltransistor

aufweist, wobei die Seitenwand vom Halbleitersubstrat und der Boden von der im unteren Abschnitt angeordneten Kondensatorelektrode gebildet werden.

[0029] Im folgenden soll die Erfindung anhand eines Ausführungsbeispiels erläutert und in Figuren dargestellt werden. Es zeigen:

[0030] Fig. 1-1 bis 1-14 eine erste Ausführungsformen,

[0031] Fig. 2-1 bis 2-11 eine zweite Ausführungsformen des erfindungsgemäßen Verfahrens, und

[0032] Fig. 3 eine Draufsicht auf einen Graben mit einem Vertikaltransistor.

[0033] Die Fig. 1-14 und 2-11 zeigen dabei Ausführungsformen des erfindungsgemäßen Vertikaltransistors und der Speicherzelle. Bei der Erläuterung der Erfindung wird von einer Struktur gemäß Fig. 1-1 ausgegangen. In einem einkristallinen p-dotierten Halbleitersubstrat 2 aus bevorzugt Silizium ist ein Graben 4 angeordnet, dessen Seitenwände 6 vom einkristallinen Halbleitersubstrat 2 gebildet werden. Am Boden 8 des Grabens 4 befindet sich ein polykristallines Halbleitermaterial 10, bevorzugt n-dotiertes Polysilizium. Der Randbereich des Bodens 8 weist weiterhin einen aus einem isolierenden Material bestehenden Übergangsbereich 12 auf, der den Boden 8 von den Seitenwänden 6 trennt. Im Fall eines Kondensatorgrabens einer Speicherzelle wird der Übergangsbereich 12 vom Isolationskragen des Grabenkondensators gebildet. Der Graben 4 ist ein oberer Teilgraben eines Kondensatorgrabens, der sich weiter in die Tiefe des Halbleitersubstrats 2 erstreckt. In der Fig. 1-1 ist lediglich die durch das n-dotierte Polysilizium gebildete innere Kondensatorelektrode 14 des im Kondensatorgraben teilweise ausgebildeten Grabenkondensators zu sehen. Ansatzweise ist auch das Speicherdielektrikum 16 sowie die durch das dort n-dotierte Halbleitersubstrat 2 gebildete äußere Kondensatorelektrode 18 erkennbar.

[0034] Das einkristalline Halbleitersubstrat 2 ist an seiner Oberkante von einem etwa 8 nm dicke Pad-Oxid 20 und einem etwa 200 nm dicken Pad-Nitrid 22 bedeckt. Der freiliegende Graben 4 erstreckt sich vom Boden 8 bis zur Oberkante des Halbleitersubstrats 2 in einer Ausdehnung von etwa 250 bis 500 nm. Eventuell vorhandenes Speicherdielektrikum auf den Seitenwänden 6 des Grabens 4 ist zuvor entfernt worden. Das Speicherdielektrikum 16 besteht bevorzugt aus Oxynitrid oder einem Doppelschichtsystem aus Siliziumoxid und Siliziumnitrid und kann daher weitgehend selektiv zum Material des Isolationskragens 12, welches z. B. Siliziumnitrid sein kann, entfernt werden. Sollte das Speicherdielektrikum 6 teilweise aus Siliziumnitrid bestehen, so wird bei dessen Entfernen zwar ein gewisser Teil des Isolationskragens 12 entfernt, da jedoch der Isolationskragen deutlich dicker als das Speicherdielektrikum ist (ca. 5-6 mal), wird der Isolationskragen nur zu einem verschwindend geringen Teil abgetragen.

[0035] Auf die so freiliegende und ggf. noch mit verdünnter Flußsäure nachchemisch gereinigte Seitenwand 6 bzw. Boden 8 wachsen nachfolgend Halbleiterschichten 24 und 26 auf. Aufgrund des einkristallinen Untergrundes wächst die auf die Seitenwand 6 abgeschiedene Halbleiterschicht 24 epitaktisch, d. h. einkristallin, auf, hingegen bildet sich die Halbleiterschicht 26 aufgrund ihres polykristallinen Untergrundes polykristallin heraus. Als Abscheidematerial wird bevorzugt Silizium gewählt. Die Prozeßführung bei der Abscheidung der Halbleiterschichten 24 und 26 wird so gewählt, daß sich die Halbleiterschicht 24 als epitaktische Halbleiterschicht 24 herausbilden kann. Insbesondere erfolgt die Abscheidung bei einer Substrattemperatur von 900°C mit einer Abscheiderate von bis zu 60 nm/min. Die Abscheidung erfolgt weiterhin selektiv zum Material des Übergangsbereichs 12 sowie dem Pad-Oxid 20 und dem

Pad-Nitrid 22. Fig. 1-2 zeigt die aufgewachsenen Halbleiterschichten 24 und 26 in einem frühen Stadium, Fig. 1-3 dagegen nach dem Ende der Abscheidung. Die Dicke der abgeschiedenen Halbleiterschichten wird so gewählt, daß einerseits die epitaktische Halbleiterschicht 24 durch einen freigebiebenen Zwischenraum von der Halbleiterschicht 26 getrennt ist, und andererseits die einander zugewandten Flächen der epitaktischen Halbleiterschicht 24 noch weit genug voneinander beabstandet sind, um die weitere Prozeßführung nicht zu behindern. Bei dem vorliegenden Ausführungsbeispiel wird bei einer gegebenen kleinsten Strukturgröße F von 100 nm von einem Durchmesser des im Grabens 4 von etwa 250 nm ausgegangen. Die epitaktische Halbleiterschicht kann dann etwa 90 nm dick ausgebildet werden, so daß der freibleibende Querschnitt des Grabens 4 etwa noch 70 Nanometer beträgt. Die Dicke der epitaktischen Halbleiterschicht kann in diesem Rahmen relativ frei zur Einstellung des gewünschten Kanalquerschnitts des Vertikaltransistors gewählt werden. Die Größe des Zwischenraums zwischen epitaktischer Halbleiterschicht 24 und polykristalliner Halbleiterschicht 26 wird auch von der Ausdehnung des Übergangsbereichs 12 bestimmt.

[0036] Bei Abscheidung ist eine ggf. variierende Dotierung möglich, durch die bei hier angenommenem etwa kreisförmigen Grabenquerschnitt konzentrische Dotierungsgebiete entstehen.

[0037] Nachfolgend wird ein dünnes Dielektrikum 28 auf den abgeschiedenen Halbleiterschichten 24 und 26 durch thermische Nitridierung gebildet. Das aus Siliziumnitrid bestehende dünne Dielektrikum 28 weist eine Materialstärke von lediglich wenigen Å, beispielsweise 5 Å auf. Als nächstes erfolgt das Auffüllen des Grabens 4 einschließend des Zwischenraums zwischen der epitaktischen Halbleiterschicht 24 und der Halbleiterschicht 26 mit einem leitfähigen Material 30, das im Falle der n-dotierten inneren Kondensatorelektrode 14 ebenfalls n-dotiert ist. Als Material eignet sich hier ebenfalls hochdotiertes Polysilizium. Das leitfähige Material 30 wird durch einen Ätzschritt bis etwa auf die Oberkante der epitaktischen Halbleiterschicht 24 zurückgezogen. Die so erhaltene Struktur zeigt Fig. 1-6.

[0038] Gemäß Fig. 1-7 und 1-8 werden etwa 25 nm dicke Randstege 34 aus zuvor ganzflächig abgeschiedener Siliziumnitridschicht 32 durch eine anisotrope Ätzung gebildet. Die Randstege 34 dienen nachfolgend als Ätzmaske bei einer anisotropen RIE-Ätzung (reactive-ion-etching), bei der das leitfähige Material 30 bis auf einen ringförmigen Rest, der weiterhin den Zwischenraum zwischen der epitaktischen Halbleiterschicht 24 und der Halbleiterschicht 26 ausfüllt, entfernt wird. Weiterhin wird durch die Ätzung ein Teil der Oberfläche der epitaktischen Schicht 24 freigelegt. Es schließt sich die Bildung einer isolierenden Schicht 38 am Boden des Grabens 4 durch anisotrope Abscheidung und isotrope Rückätzung einer Oxidschicht 36, z. B. einem Trench-Top-Oxid mittels eines HDP-Prozesses (High Density Plasma), an. Diese Verfahrensschritte lassen sich den Fig. 1-10 und 1-11 entnehmen. Die am Boden 8 des Grabens 4 gebildete isolierende Schicht 38 isoliert die innere Kondensatorelektrode 14 und das im Zwischenraum verbleibende leitfähige Material 30 gegenüber der im noch freien Graben zu bildenden Gateelektrode. Zuvor wird jedoch auf der freigelegten Oberfläche der epitaktischen Halbleiterschicht 24 ein Gate-dielektrikum 40 durch thermische Oxidation gebildet und nachfolgend der Graben 4 mit hochdotiertem n-Polysilizium zur Bildung der Gateelektrode 42 aufgefüllt.

[0039] Zur Fertigstellung des Vertikaltransistors wird im oberen Bereich der epitaktischen Halbleiterschicht 24 ein n-Dotierungsgebiet 48 durch z. B. Implantation gebildet, ein

Anschluß 46 zu einer aktiven Word-Leitung AWL hergestellt und das Dotierungsgebiet 48 (Source-Gebiet) über die Bit-Leitung BL angeschlossen. Durch eine Wärmebehandlung wird weiterhin ein Ausdiffusionsgebiet 44 (Drain-Gebiet) im unteren Bereich der epitaktischen Halbleiterschicht 24 geschaffen werden. Dabei diffundieren Dotierstoffe aus dem im Zwischenraum befindlichen leitfähigen Material 30, aus der Halbleiterschicht 26 und auch aus dem polykristallinen Halbleitermaterial 10 durch das dünne Dielektrikum 28 in die epitaktische Halbleiterschicht 24 und bilden dort das n-Dotierungsgebiet 44. Das dünne Dielektrikum 28 begrenzt dabei die Diffusion der Dotierstoffe, die dadurch stärker im Bereich der epitaktischen Halbleiterschicht 24 verbleibt. Der Isolationskragen 12, der in vertikaler Richtung eine Länge von etwa 1 µm aufweist, trägt ebenfalls zur seitlichen Begrenzung der Ausdiffusion bei.

[0040] Die Ausdiffusion zur Bildung des Diffusionsgebiets 44 erfolgt bevorzugt zusammen mit der Oxidation der Seitenwände von Isolationsgräben STI, die zur Isolation von planaren Transistoren oder zwischen benachbarten Gräben ausgebildet werden. Ein derartiges Isolationsgebiet STI, auch shallow-trenchisolation genannt, ist z. B. in der in Fig. 3 dargestellten Draufsicht auf eine Speicherzelle mit Vertikaltransistor gezeigt. Die Isolationsgebiete STI schneiden die spitzen Ecken der im Querschnitt elliptisch ausgebildeten Gräben ab, so daß die epitaktische Halbleiterschicht 24 in Form von zwei einander gegenüberliegenden Halbschalen ausgebildet ist.

[0041] Obwohl das dünne Dielektrikum 28 den Stromfluß von der inneren Kondensatorelektrode 14 über das im Zwischenraum befindliche leitfähige Material 30 zum Dotierungsgebiet 44 begrenzt, ist der dadurch erhöhte Übergangswiderstand noch vertretbar, wenn das Dielektrikum 28 entsprechend dünn ausgebildet ist.

[0042] Auf der Oberseite des Halbleitersubstrats 2 verlaufen seitlich zu der Word-Leitung AWL so genannte passing Word-Leitungen PWL, welche gegenüber dem Halbleitersubstrat 2 mittels einer Isolationsschicht 50 isoliert sind, und die in Richtung senkrecht zur Zeichenebene liegende Gateelektroden anderer Vertikaltransistoren kontaktieren.

[0043] Eine weitere Ausführungsform des erfindungsgemäßigen Herstellungsverfahrens soll nachfolgend an Hand der Fig. 2-1 bis 2-11 erläutert werden. Die ersten Verfahrensschritte entsprechenden denen der Fig. 1-1 bis 1-4, so daß die in Fig. 1-4 gezeigte Struktur der in der Fig. 2-1 gezeigten entspricht. In Abwandlung zum ersten Ausführungsbeispiel wird nachfolgend eine isolierende Schicht 52 in Form einer dünnen Oxidschicht durch einen Prozeß gebildet, der primär im Bodenbereich abscheidet. Dies kann zum Beispiel durch einen HDP-Prozeß erreicht werden. Die isolierende Schicht 52 wird nachfolgend selektiv zu Siliziumnitrid isotrop zurückgeätzt, so daß die isolierende Schicht 52 lediglich am Boden des Grabens verbleibt und das dünne Dielektrikum 28 freigelegt wird. Es schließen sich gemäß der Fig. 2-4 bis 2-7 die bereits anhand der Fig. 1-5 bis 1-8 gezeigten Verfahrensschritte an. Auf deren Darlegung wird daher hier verzichtet. Die nachfolgende anisotrope RIE-Ätzung, die der Ätzung in Fig. 1-9 entspricht, stoppt jedoch auf der isolierenden Schicht 52. Analog zu Fig. 1-9 wird das leitfähige Material 30 bis auf den Zwischenraum zwischen der epitaktischen Halbleiterschicht 24 und der Halbleiterschicht 26 aus dem Graben 4 entfernt.

[0044] Gleichzeitig wird eine Oberfläche der epitaktischen Halbleiterschicht 24 durch Entfernen des dort liegenden dünnen Dielektrikums 28 freigelegt. Die sich so ergebende Struktur kann der Fig. 2-8 entnommen werden.

[0045] Als nächstes werden die Oxidschicht 52 und das auf der Halbleiterschicht 26 sitzende dünne Dielektrikum 28

entfernt, so daß ein Hohlraum zwischen dem leitfähigen Material 30 und der Halbleiterschicht 26 entsteht. Dieser läßt sich durch Abscheiden und anisotropes Rückätzen mit einem weiteren leitfähigen Material 54, beispielsweise aus hochdotiertem n-Polysilizium oder Wolframsilizid, auffüllen. Beim Rückätzen dienen die Randstege 34 als Ätzmaske. Es schließen sich die Verfahrensschritte gemäß Fig. 1-10 bis 1-14 an. Der gesamte Zwischenraum zwischen epitaktischer Halbleiterschicht 24 und Halbleiterschicht 26 ist damit durch zwei Schichten von leitfähigem Material aufgefüllt. Die Freiheit bei der Auswahl der Materialien ist dabei sehr hoch.

[0046] Bei der hier gezeigten Ausführungsform verbleibt das dünne Dielektrikum 28 lediglich auf der epitaktischen Halbleiterschicht 24. Dies genügt jedoch zur Abgrenzung der epitaktischen Halbleiterschicht gegenüber dem polykristallinen leitfähigen Material 30. Außerdem wird der Übergangswiderstand zwischen der epitaktischen Halbleiterschicht 24 und der inneren Kondensatorelektrode 14 nur durch eine Lage des dünnen Dielektrikums 28 begrenzt.

#### Bezugszeichenliste

- 2 einkristallines Halbleitersubstrat
- 4 Graben
- 6 Seitenwand
- 8 Boden
- 10 polykristallines Halbleitermaterial
- 12 Isolationskragen/Übergangsbereich
- 14 innere Kondensatorelektrode
- 16 Speicherdielektrikum
- 18 äußere Kondensatorelektrode
- 20 Pad-Oxid
- 22 Pad-Nitrid
- 24 epitaktische Halbleiterschicht
- 26 Halbleiterschicht
- 28 dünnes Dielektrikum
- 30 leitfähiges Material
- 32 Siliziumnitridschicht
- 34 Randstege/Ätzmaske
- 36 Oxidschicht
- 38 isolierende Schicht
- 40 Gatedielektrikum
- 42 Gateelektrode
- 44 Dotierungsgebiet/Drain-Gebiet
- 46 Anschluß
- 48 Dotierungsgebiet/Source-Gebiet
- 50 Isolationsschicht
- 52 isolierende Schicht
- 54 weiteres leitfähiges Material
- AWL Word-Leitung
- PWL passing Word-Leitung
- STI Isolationsgraben

#### Patentansprüche

1 Verfahren zur Herstellung eines Vertikaltransistors in einem Graben mit den Schritten:

- Bereitstellen eines Grabens (4), dessen Boden (8) und dessen zumindest eine Seitenwand (6) zumindest bereichsweise aus einem Halbleitermaterial (2, 10) bestehen und der einen Übergangsbereich (12) aus einem isolierenden Material zwischen den aus Halbleitermaterial (2, 10) bestehenden Bereichen von Boden (8) und Seitenwand (6) aufweist;
- selektives Abscheiden von Halbleitermaterial auf die aus Halbleitermaterial bestehenden Berei-

che der Seitenwand (6) und des Bodens (8) des Grabens zur Bildung von Halbleiterschichten (24, 26), wobei

zumindest die auf der Seitenwand (6) abgeschiedene Halbleiterschicht als epitaktische Halbleiterschicht (24) aufwächst, und

zwischen den auf Boden (8) und Seitenwand (6) abgeschiedenen Halbleiterschichten (24, 26) ein Zwischenraum verbleibt;

- Bilden eines dünnen, einen elektrischen Strom nur teilweise begrenzenden Dielektrikums (28) auf zumindest einer der beiden abgeschiedenen Halbleiterschichten (24, 26);

- Auffüllen des Zwischenraums zwischen den beiden abgeschiedenen Halbleiterschichten (24, 26) mit einem leitfähigen Material (30); und

- Bilden eines Gatedielektrikums (40) und einer Gateelektrode (42) auf der aufgewachsenen epitaktischen Halbleiterschicht (24).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das dünne Dielektrikum (28) im wesentlichen auf 2-3 Monolagen begrenzt wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das dünne Dielektrikum (28) etwa 5 Å dick ausgebildet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das dünne Dielektrikum (28) aus Siliziumnitrid und die abgeschiedenen Halbleiterschichten (24, 26) aus Silizium bestehen, und das dünne Dielektrikum (28) durch thermische Nitrifizierung zumindest einer der beiden Halbleiterschichten (24, 26) erzeugt wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das auf den Boden (8) des Grabens (4) abgeschiedene Halbleitermaterial (26) eine polykristalline Halbleiterschicht (26) bildet.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das dünne Dielektrikum (28) auf beiden abgeschiedenen Halbleiterschichten (24, 26) gebildet wird, und vor dem Auffüllen des Zwischenraums mit dem leitfähigen Material (30) eine isolierende Schicht (52) mit einem überwiegend anisotropen Abscheideverfahren abgeschieden und nachfolgend isotrop geätzt wird, so daß die isolierende Schicht (52) von vertikalen Flächen entfernt und im wesentlichen am Boden (8) des Grabens verbleibt.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zum Auffüllen des Zwischenraums mit dem leitfähigen Material (30) zunächst der gesamte Graben weitgehend mit dem leitfähigen Material (30) gefüllt wird, eine Maske (34) im Bereich der Grabenöffnung oberhalb der auf der Seitenwand (6) aufgetragenen epitaktischen Halbleiterschicht (24) gebildet wird,

eine anisotrope Ätzung unter Verwendung der Maske (34) durchgeführt wird, bei der das leitfähige Material (30) bis auf den Zwischenraum aus dem Graben (4) entfernt und gleichzeitig eine zum Innenraum des Grabens (4) wendende Fläche der epitaktischen Halbleiterschicht (24) freigelegt wird, und auf der freigelegten Fläche der epitaktischen Halbleiterschicht (24) das Gatedielektrikum (40) gebildet wird.

8. Verfahren nach Anspruch 6 und 7, dadurch gekennzeichnet, daß

die anisotrope Ätzung auf der am Boden (8) des Grabens verbleibenden isolierenden Schicht (52) stoppt,

die isolierende Schicht (52) und das dünne Dielektrikum (28) nachfolgend vom Boden (8) des Grabens entfernt werden, und

der so entstandene Hohlraum zwischen dem leitfähigen Material (30) und der am Boden (8) des Grabens abgeschiedenen Halbleiterschicht (26) mit einem weiteren leitfähigen Material (54) gefüllt wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß es sich bei dem weiteren leitfähigen Material (54) um hochdotiertes Polysilizium oder Wolframsilizid handelt.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das leitfähige Material (30) und das den Boden (8) des Grabens zumindest bereichsweise bildende Halbleitermaterial (10) jeweils ein dotiertes polykristallines Halbleitermaterial vom ersten Leitungstyp ist;

das die zumindest eine Seitenwand (6) zumindest bereichsweise bildende Halbleitermaterial (2) ein einkristallines Halbleitermaterial vom zweiten Leitungstyp ist; und

die abgeschiedenen Halbleiterschichten (24, 26) jeweils den Leitungstyp ihrer Unterlage aufweisen.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß eine Wärmebehandlung durchgeführt wird, bei der Dotierstoffe aus dem leitfähigen Material (30) in die epitaktische Halbleiterschicht (24) durch das auf der epitaktischen Halbleiterschicht (24) gebildete dünne Dielektrikum (28) eindiffundieren und in der epitaktischen Halbleiterschicht (24) ein Dotierungsgebiet (44) vom ersten Leitungstyp erzeugen.

12. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Graben (4) ein oberer Teil eines Kondensatorgrabens ist und das am Boden (8) des Grabens befindliche Halbleitermaterial von dem polykristallinen Halbleitermaterial (10) der inneren Kondensatorelektrode (14) des Kondensators gebildet wird.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß der Übergangsbereich (12) aus dem isolierenden Material von einem Isolationskragen (12) des Kondensatorgrabens gebildet wird.

14. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß der Graben (4) einen Querschnitt hat, dessen Ausdehnung größer als die kleinste lithographisch erreichbare Strukturbreite ist.

15. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die epitaktische Halbleiterschicht (24) bei ihrer Abscheidung in situ dotiert wird.

16. Verfahren zur Herstellung eines Vertikaltransistors in einem Graben mit den Schritten:

- Bilden eines Grabens (4) in einem einkristallinen Halbleitermaterial (2) vom zweiten Leitungstyp, der mit einem Dielektrikum (16) bis auf seinen oberen Teil ausgekleidet und mit einem dotierten polykristallinen Halbleitermaterial (10) vom ersten Leitungstyp ausgefüllt ist, so daß ein oberer Teilgrabens verbleibt, der sich oberhalb des polykristallinen Halbleitermaterials (10) erstreckt, wobei ein etwa ringförmig am Boden (8) des Teilgrabens verlaufender Übergangsbereich (12) aus isolierendem Material zwischen dem sich am Boden (8) des Teilgrabens befindenden polykristallinen Halbleitermaterial (10) und dem die Seitenwände (6) des Teilgrabens bildenden einkristallinen Halbleitermaterial (2) angeordnet ist;

selektives Abscheiden von Halbleitermaterial auf Seitenwand (6) und Boden (8) des Teilgrabens



zur Bildung von Halbleiterschichten (24, 26), wobei  
 die auf der Seitenwand (6) abgeschiedene Halbleiterschicht (24) als epitaktische Halbleiterschicht und  
 die auf den Boden (8) abgeschiedene Halbleiterschicht (26) als polykristalline Halbleiterschicht aufwächst, und  
 zwischen den beiden abgeschiedenen Halbleiterschichten (24, 26) ein Zwischenraum verbleibt, 10  
 - Bilden eines dünnen, einen elektrischen Strom nur teilweise begrenzenden Dielektrikums (28) auf der epitaktischen Halbleiterschicht (24);  
 - Auffüllen des Zwischenraums zwischen den beiden abgeschiedenen Halbleiterschichten (24, 26) mit einem dotierten polykristallinen Halbleitermaterial (30) vom ersten Leitungstyp; 15  
 - Bilden eines Gatedielektrikums (40) und einer Gateelektrode (42) auf der epitaktischen Halbleiterschicht (24); und 20  
 - Durchführen einer Wärmebehandlung, durch die Dotierstoffe vom ersten Leitungstyp aus dem abgeschiedenen polykristallinen Halbleitermaterial (30) durch das dünne Dielektrikum (28) in die epitaktische Halbleiterschicht (24) diffundieren und dort ein Dotierungsgebiet (44) vom ersten Leitungstyp bilden. 25

17. Vertikaltransistor in einem Graben (4), der zumindest eine Seitenwand (6) und einem Boden (8) aufweist, wobei das Kanalgebiet des Vertikaltransistors in einer auf der Seitenwand (6) abgeschiedenen epitaktischen Halbleiterschicht (24) ausgebildet ist und die epitaktische Halbleiterschicht (24) mit einem den Boden (8) des Grabens (6) bildenden Halbleitermaterial (10) elektrisch leitend verbunden ist, dadurch gekennzeichnet, daß zwischen der epitaktischen Halbleiterschicht (24) und dem elektrisch leitfähigen Material (10) ein dünnes, einen elektrischen Strom nur teilweise begrenzendes Dielektrikum (28) angeordnet ist. 30

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, daß das dünne Dielektrikum (28) im wesentlichen auf 2-3 Monolagen begrenzt ist. 35

19. Verfahren nach Anspruch 17 oder 18, dadurch gekennzeichnet, daß das dünne Dielektrikum (28) etwa 5 Å dick ist. 40

20. Vertikaltransistor nach einem der Ansprüche 17 bis 19, dadurch gekennzeichnet, daß der Graben (4) ein oberer Teilgraben eines Kondensatorgrabens mit darin angeordneter innerer Kondensatorelektrode (14) ist, die über das elektrisch leitfähige Material (30) mit der epitaktischen Halbleiterschicht (24) elektrisch leitend verbunden ist. 45

21. Vertikaltransistor nach Anspruch 20, dadurch gekennzeichnet, daß die Seitenwand (6) des Grabens (4) eine umlaufend zusammenhängende Fläche bildet, und zumindest die epitaktische Halbleiterschicht (24) entlang dieser Fläche in Form von zwei einander gegenüberliegenden Halbschalen ausgebildet ist. 50

22. Vertikaltransistor nach einem der Ansprüche 17 bis 21, dadurch gekennzeichnet, daß der Graben (4) einen Querschnitt hat, dessen Ausdehnung größer als die kleinste lithographisch erreichbare Strukturbreite ist. 55

23. Halbleiterprodukt mit wenigstens einer Speicherzelle, die

einen in einem Halbleitersubstrat (2) ausgebildeten Graben (4) mit einem oberen und einem unteren Abschnitt, 60

ein zumindest den unteren Abschnitt des Grabens (4)

auskleidendes Speicherdielektrikum (16),  
 eine im unteren Abschnitt des Grabens (4) angeordnete Kondensatorelektrode (14), wobei die andere Kondensatorelektrode (18) vom Halbleitersubstrat (2) gebildet wird, und  
 einen im oberen Abschnitt des Grabens (4) ausgebildeten Vertikaltransistor nach einem der Ansprüche 17 bis 22  
 aufweist, wobei die Seitenwand (6) vom Halbleitersubstrat (2) und der Boden (8) von der im unteren Abschnitt angeordneten Kondensatorelektrode (14) gebildet werden. 65

---

Hierzu 14 Seite(n) Zeichnungen

---



Fig. 1-3

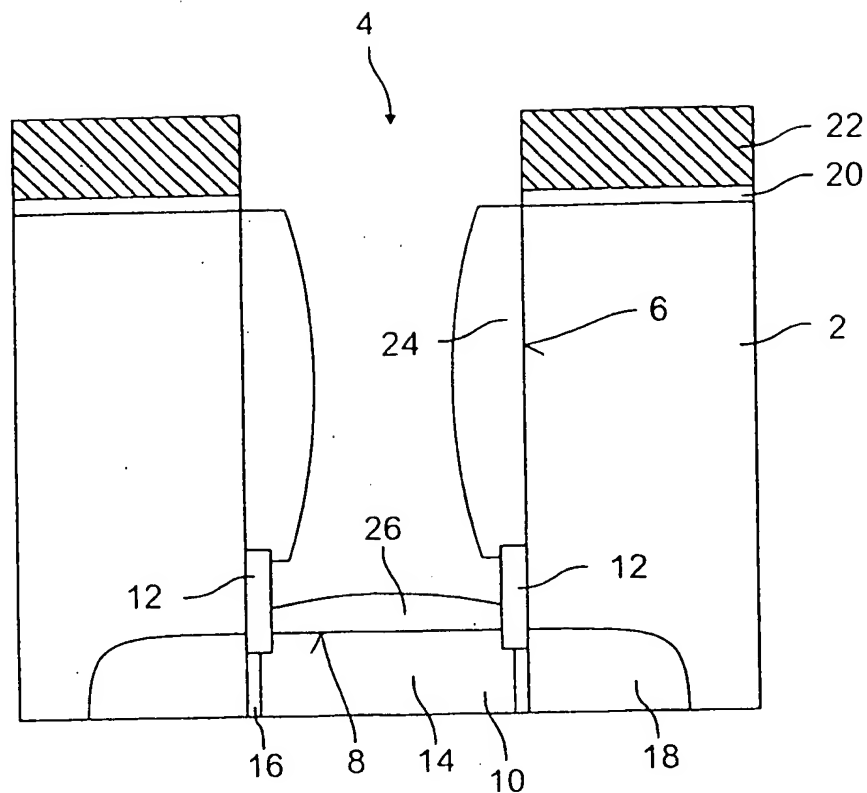


Fig. 1-4

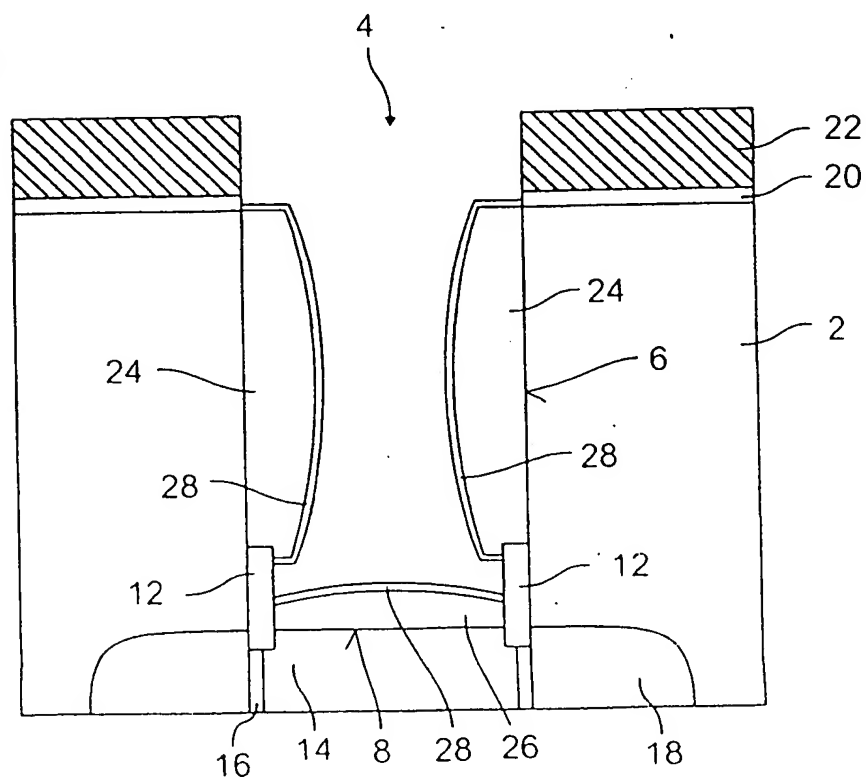


Fig. 1-5

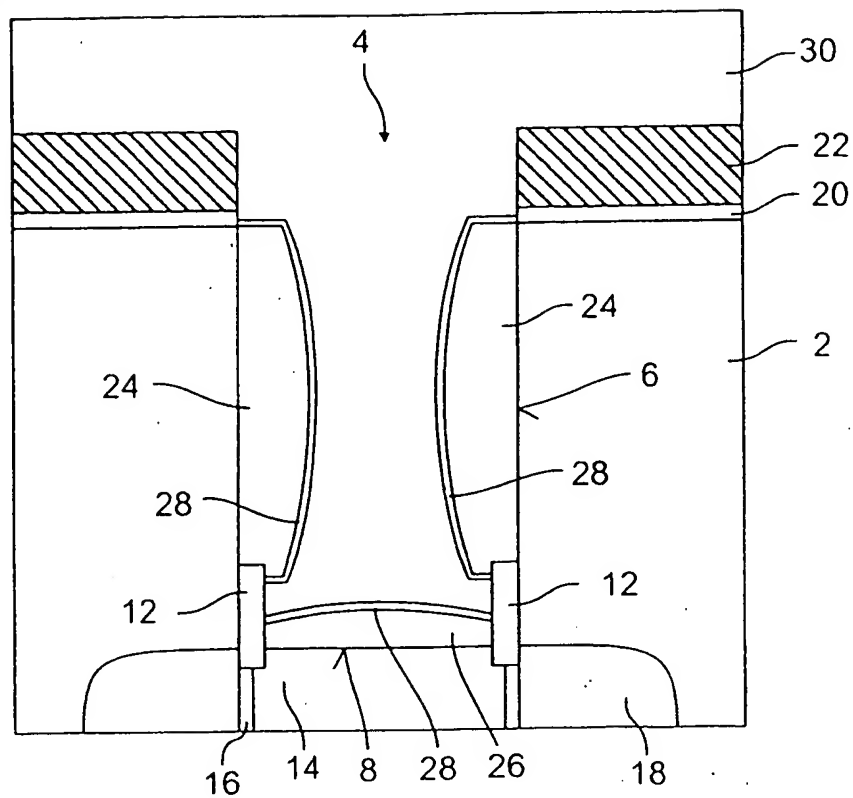


Fig. 1-6

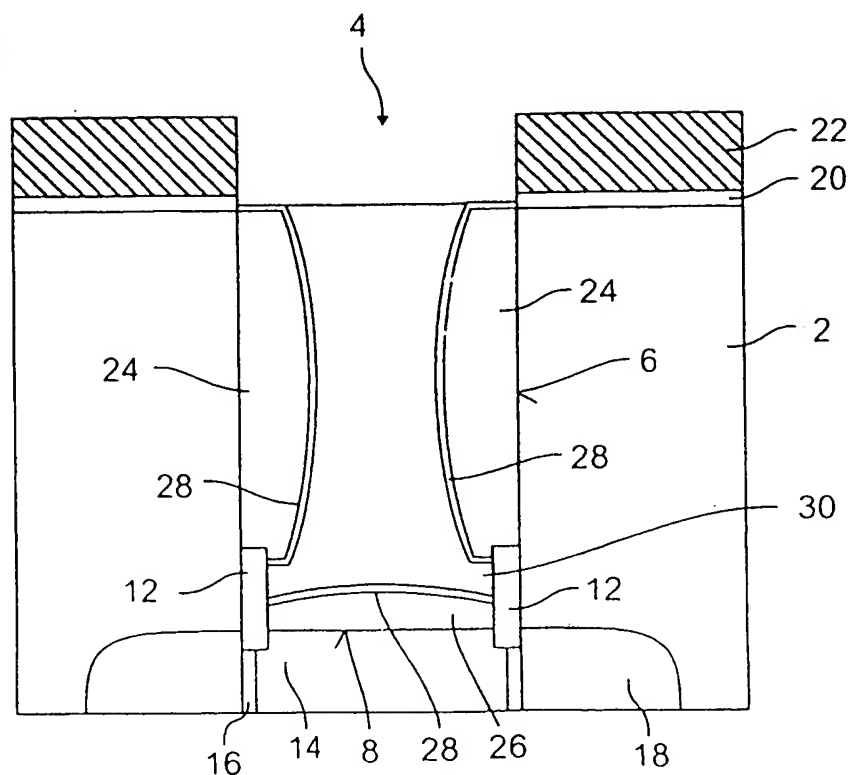


Fig. 1-7

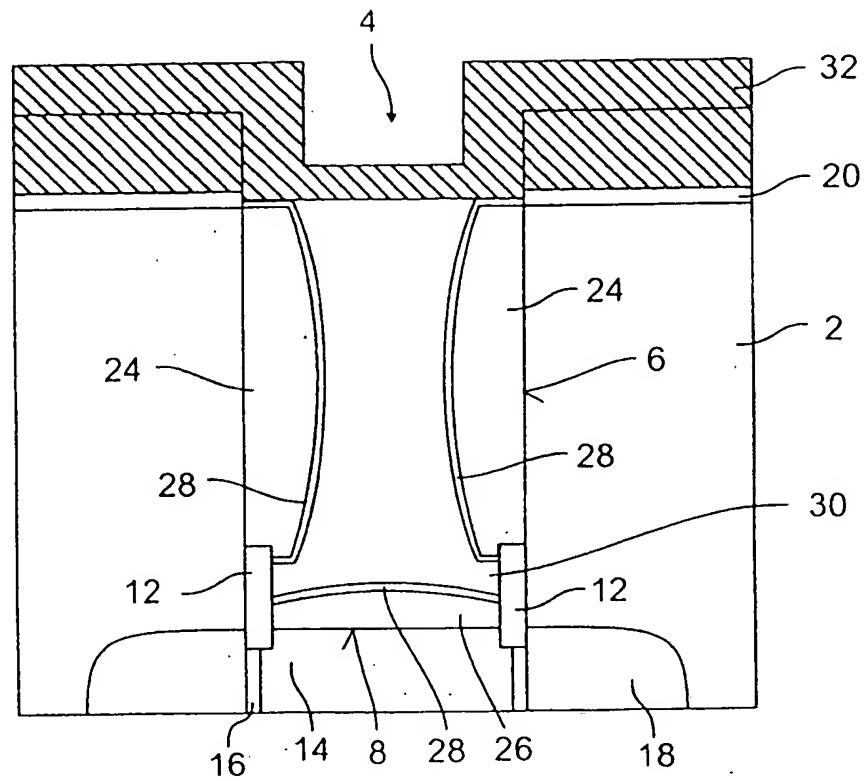


Fig. 1-8

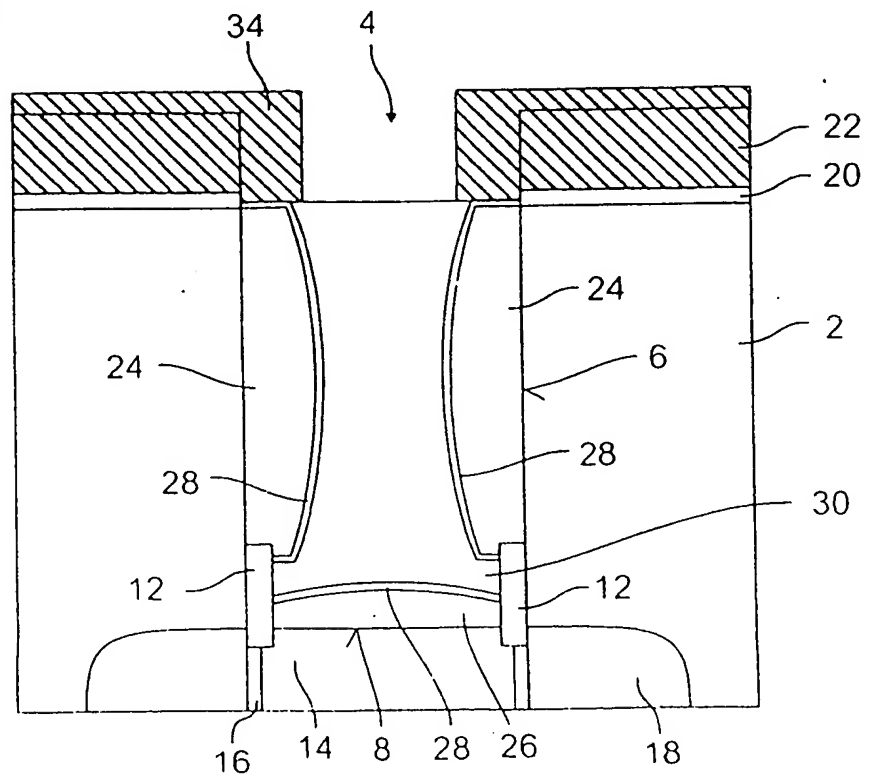


Fig. 1-9

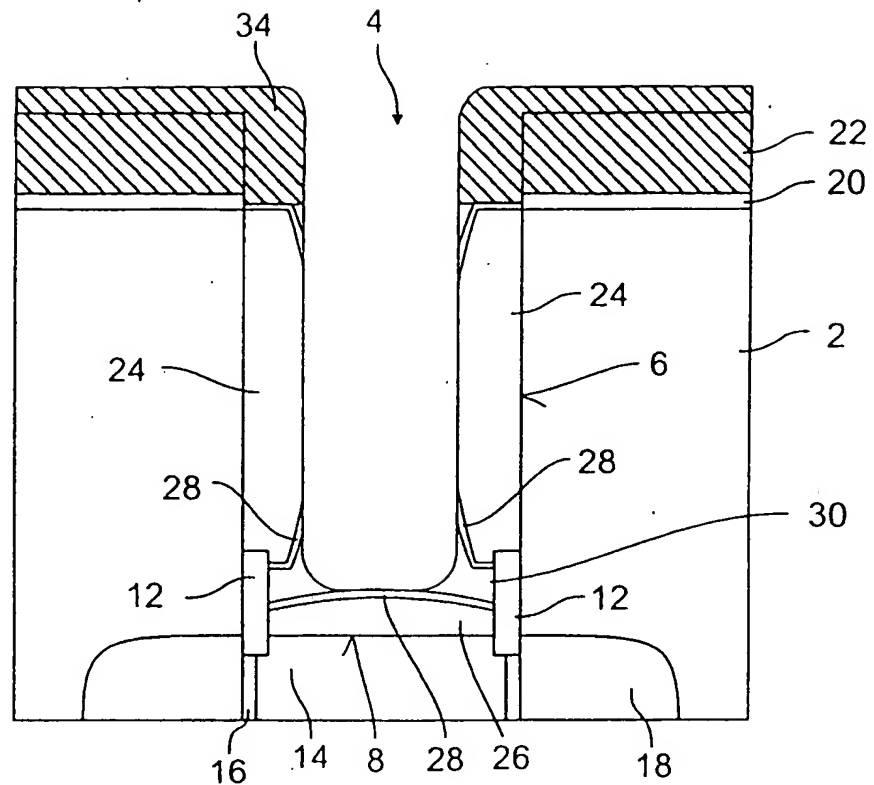


Fig. 1-10

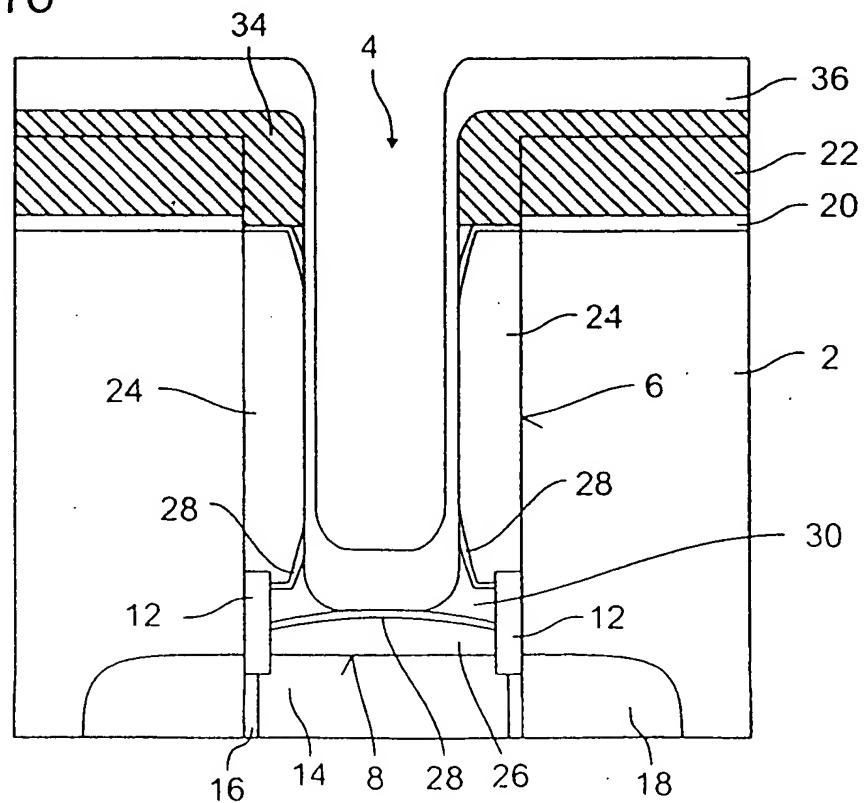


Fig. 1-11

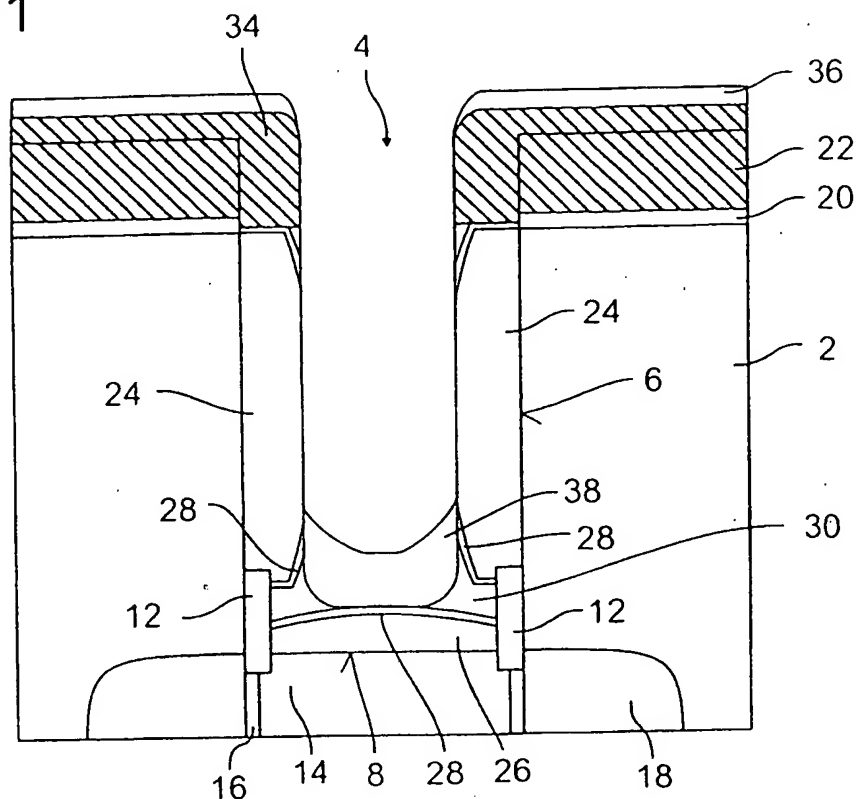


Fig. 1-12

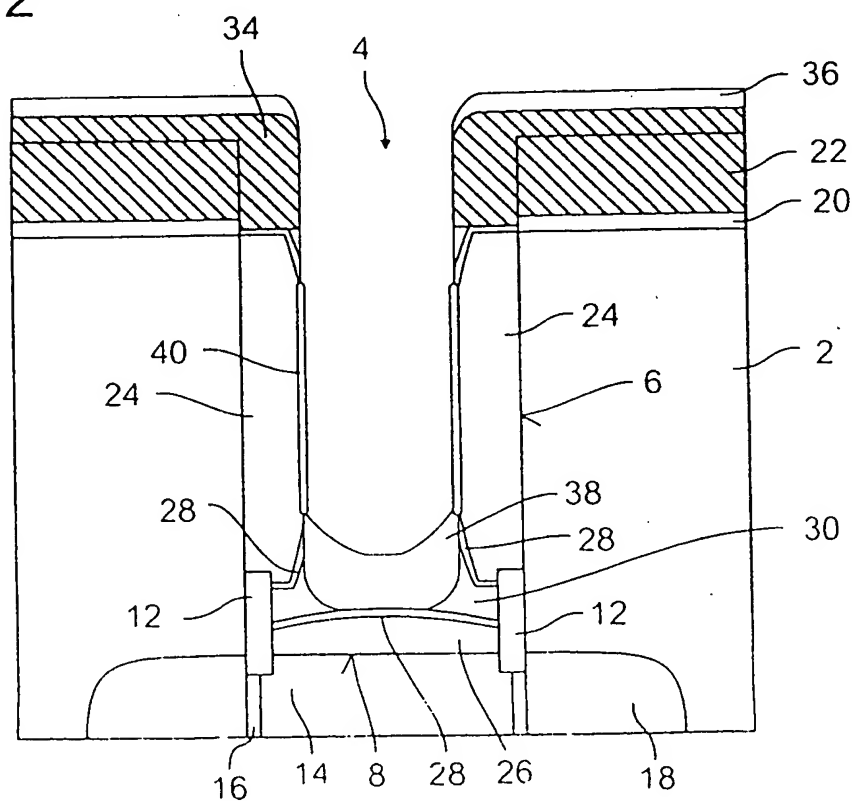


Fig. 1-13

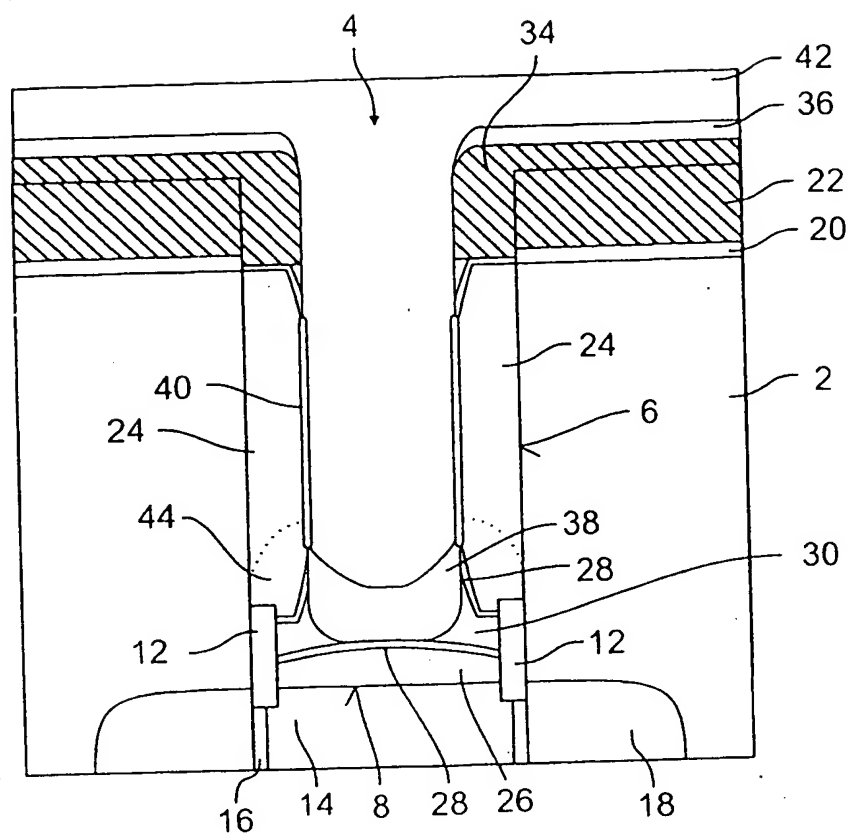


Fig. 1-14

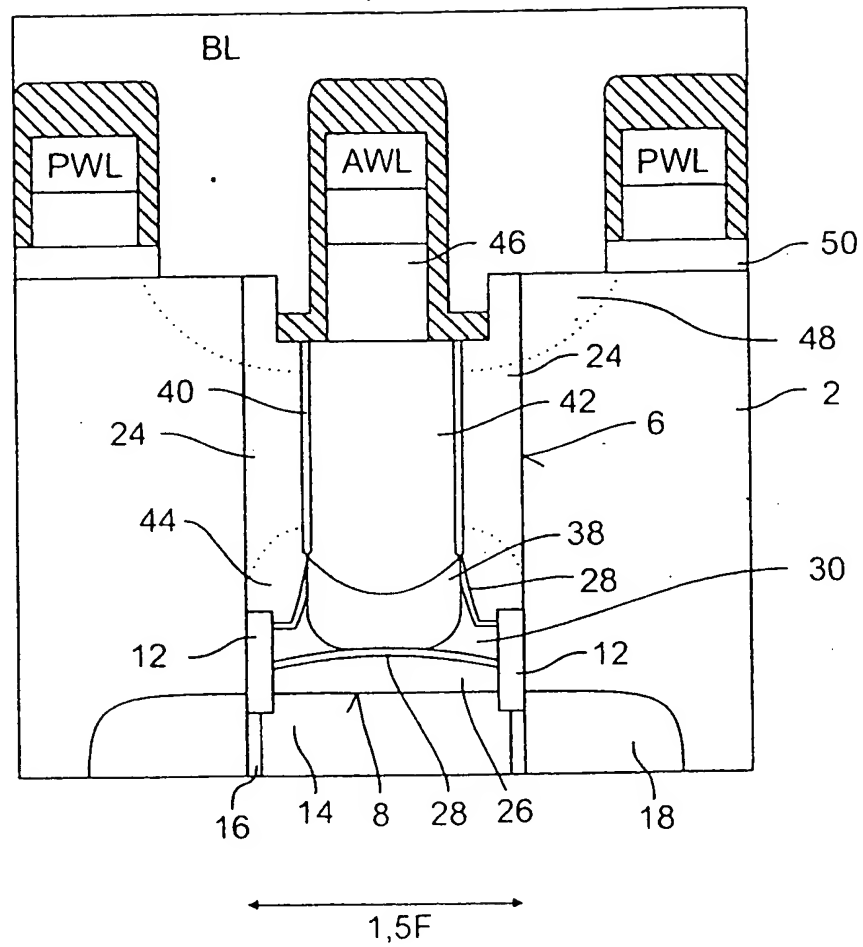




Fig. 2-1

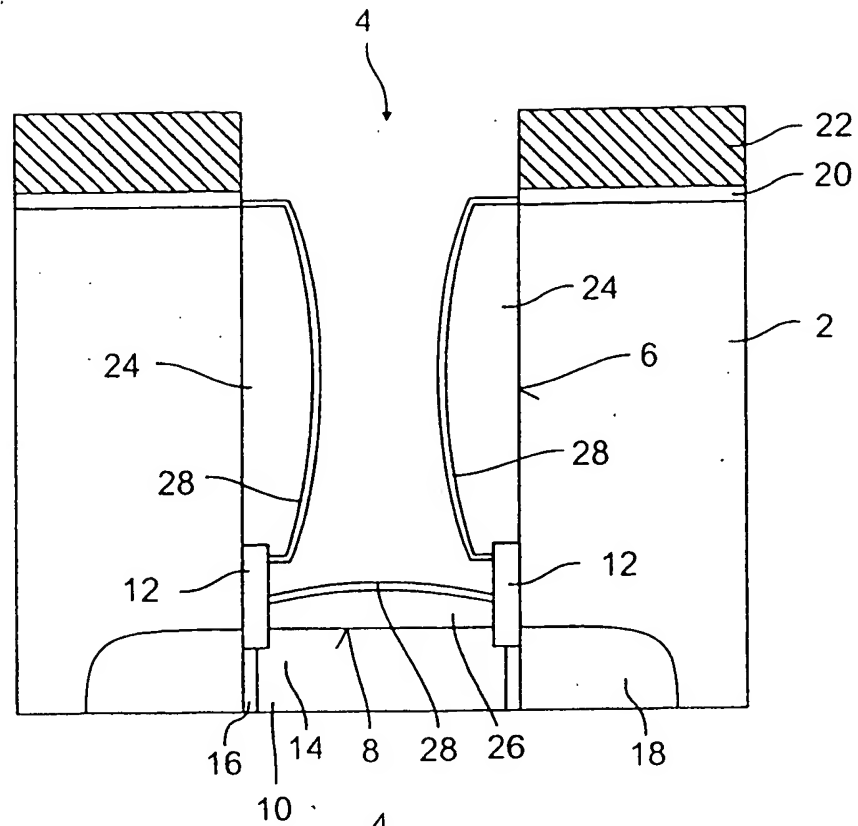


Fig. 2-2

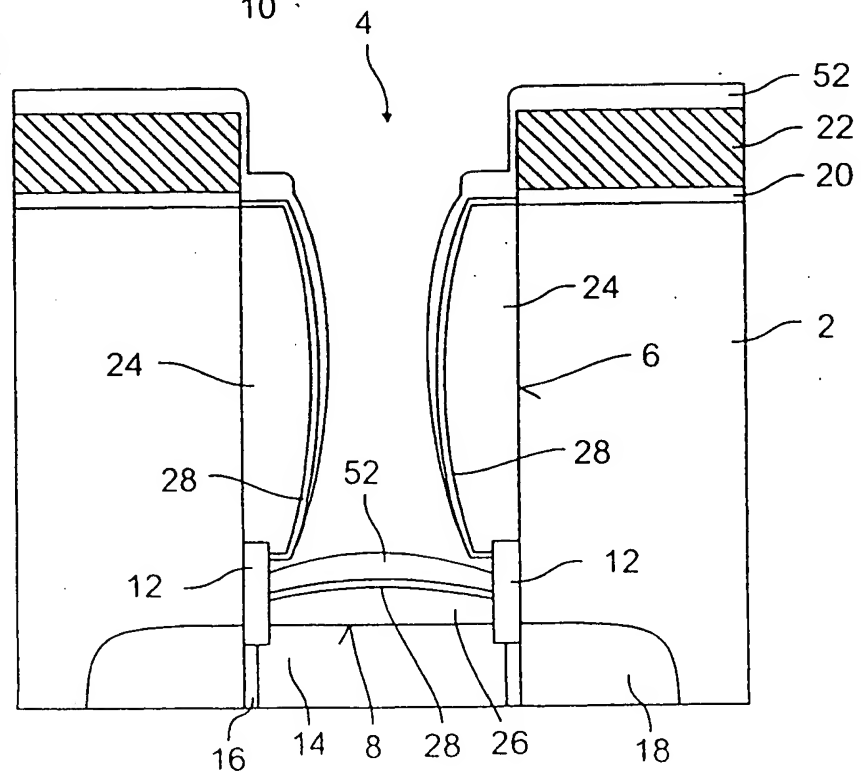


Fig. 2-3

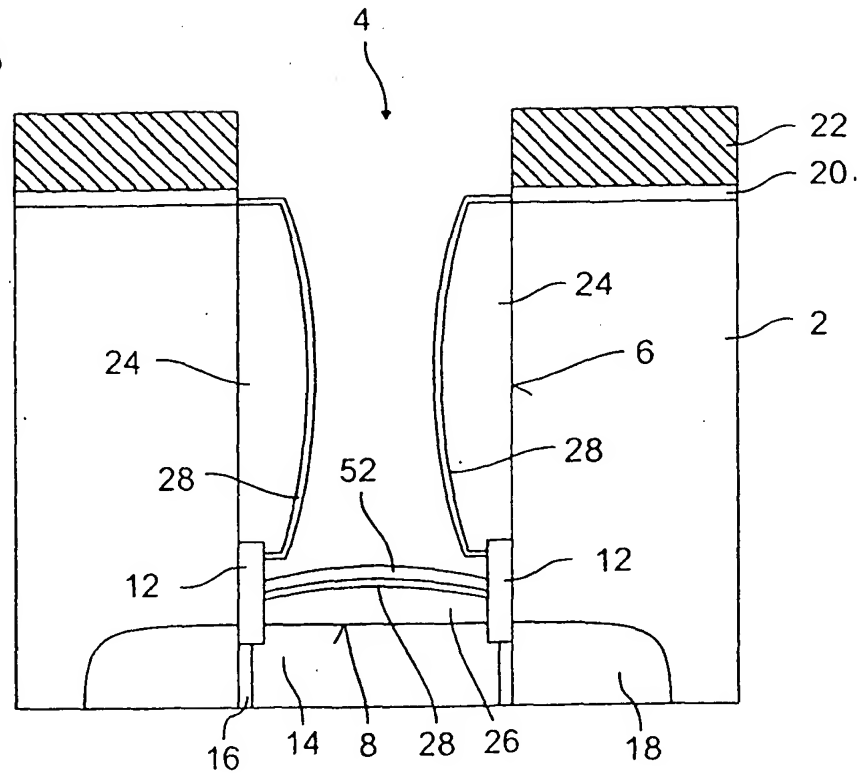


Fig. 2-4

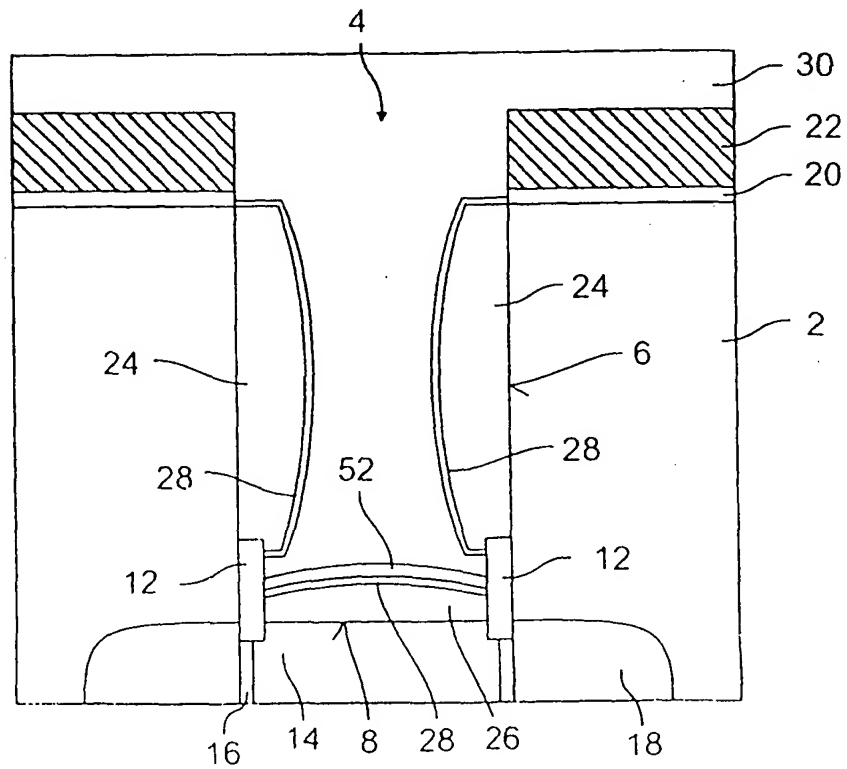


Fig. 2-5

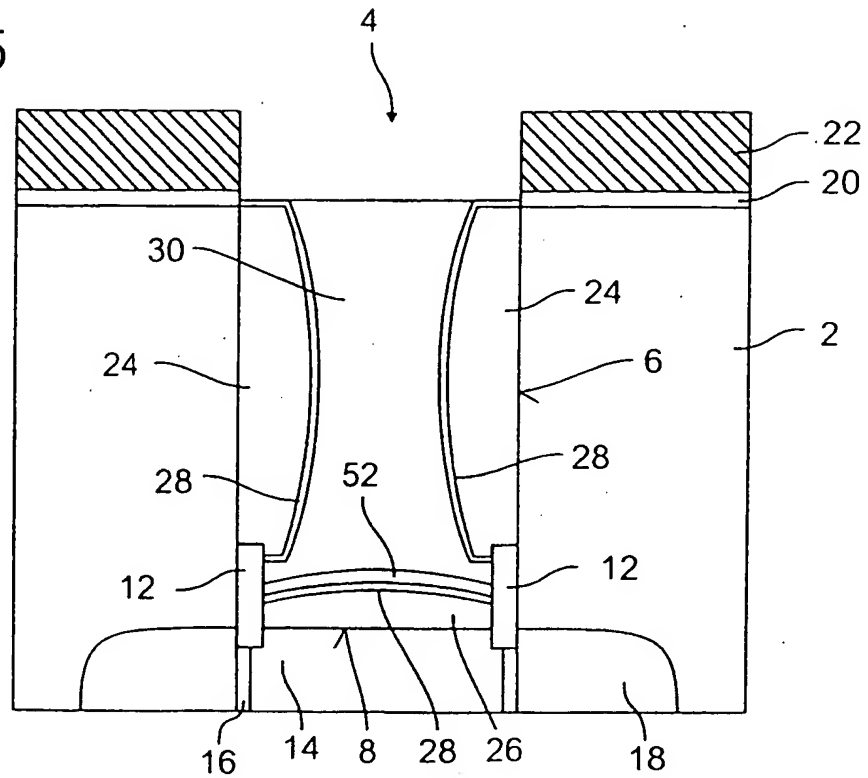


Fig. 2-6

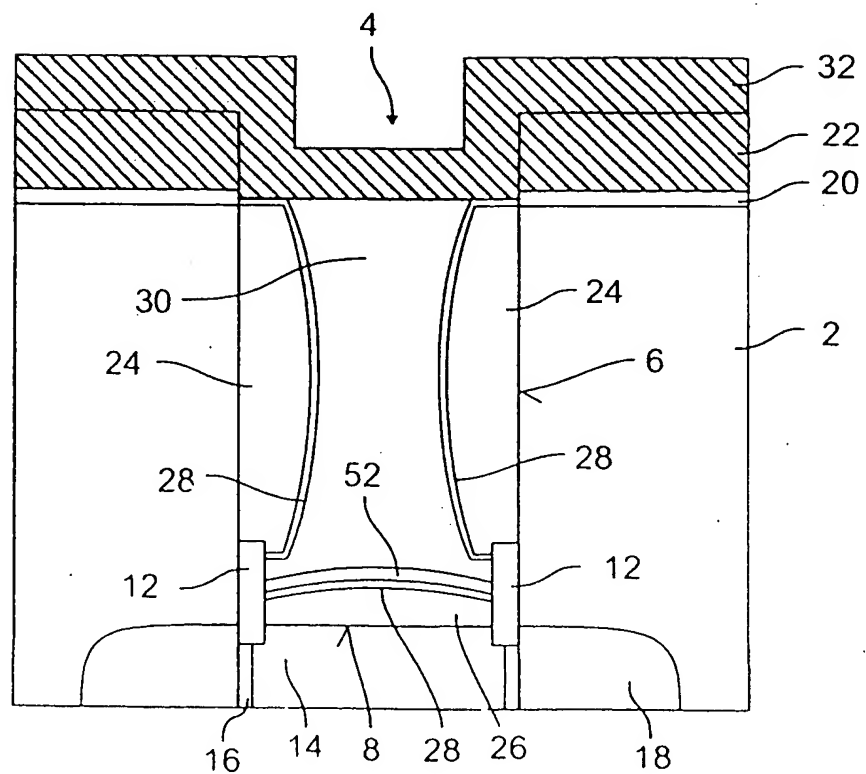


Fig. 2-7

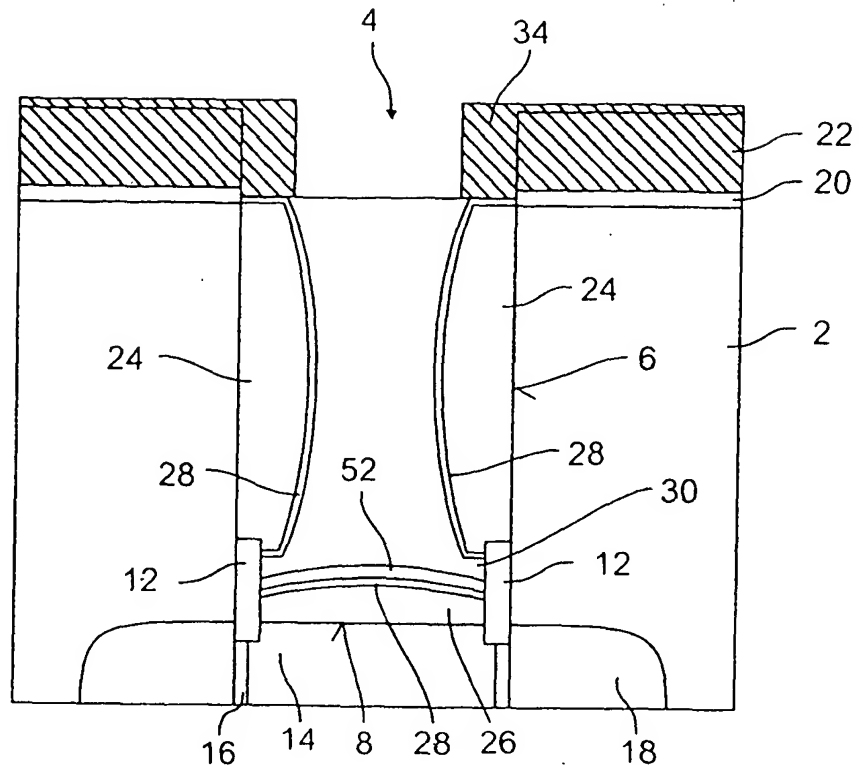


Fig. 2-8

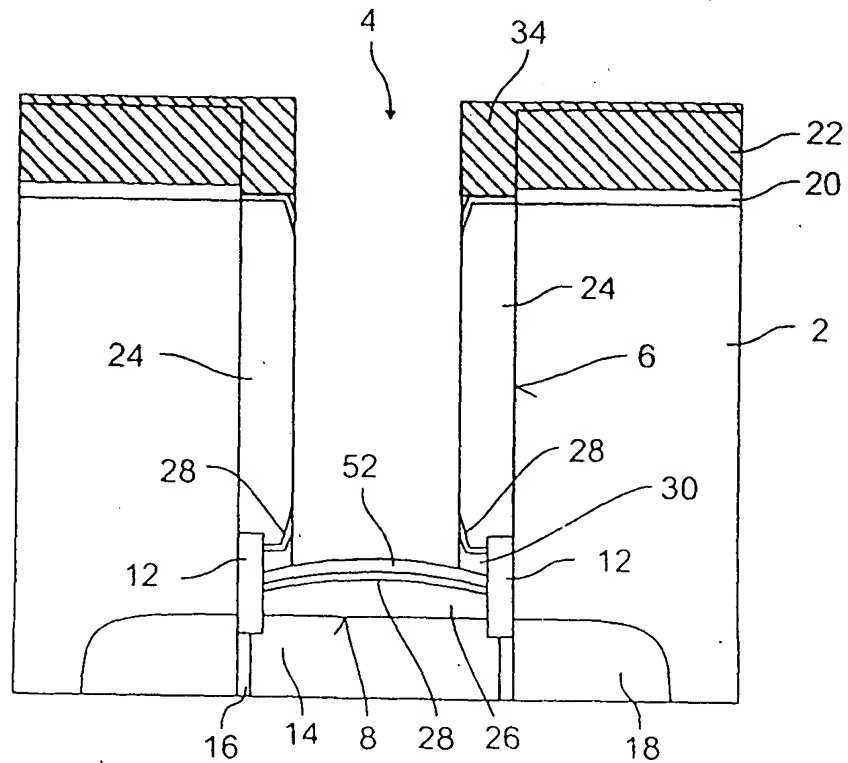


Fig. 2-9

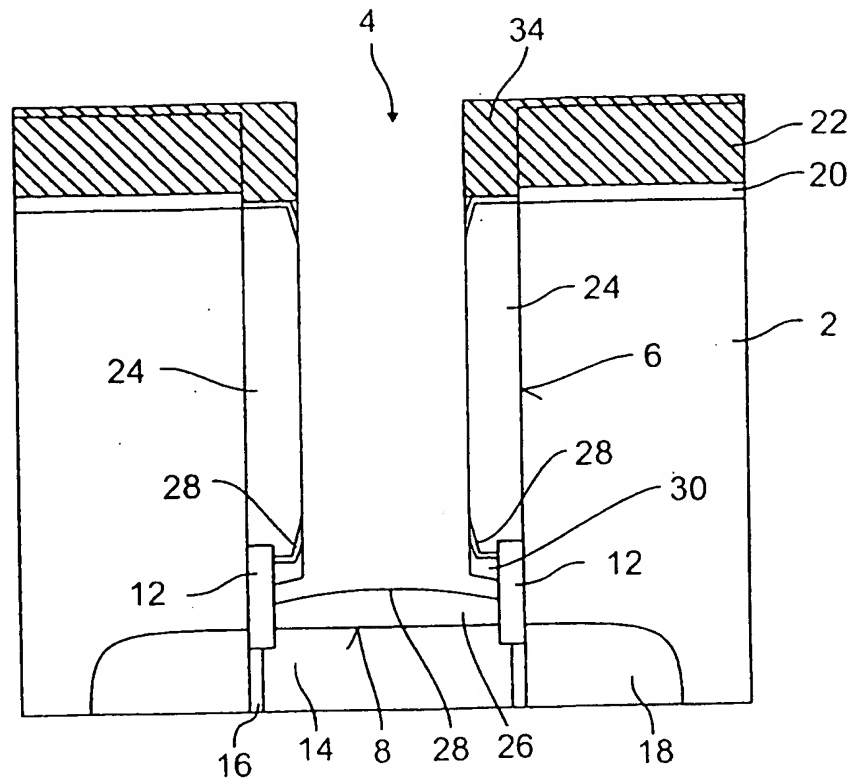


Fig. 2-10

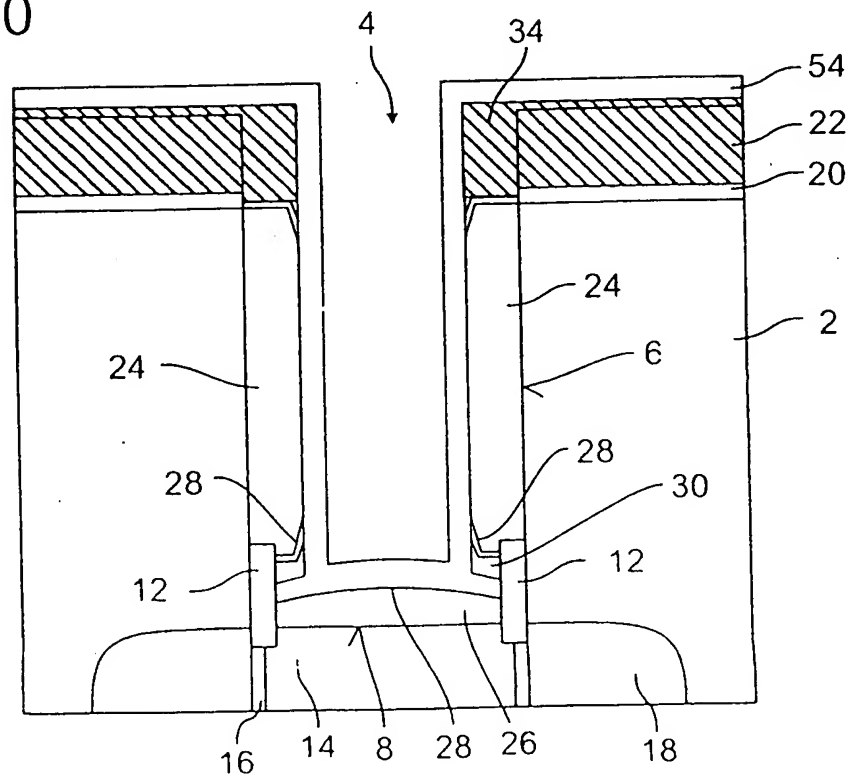


Fig. 2-11

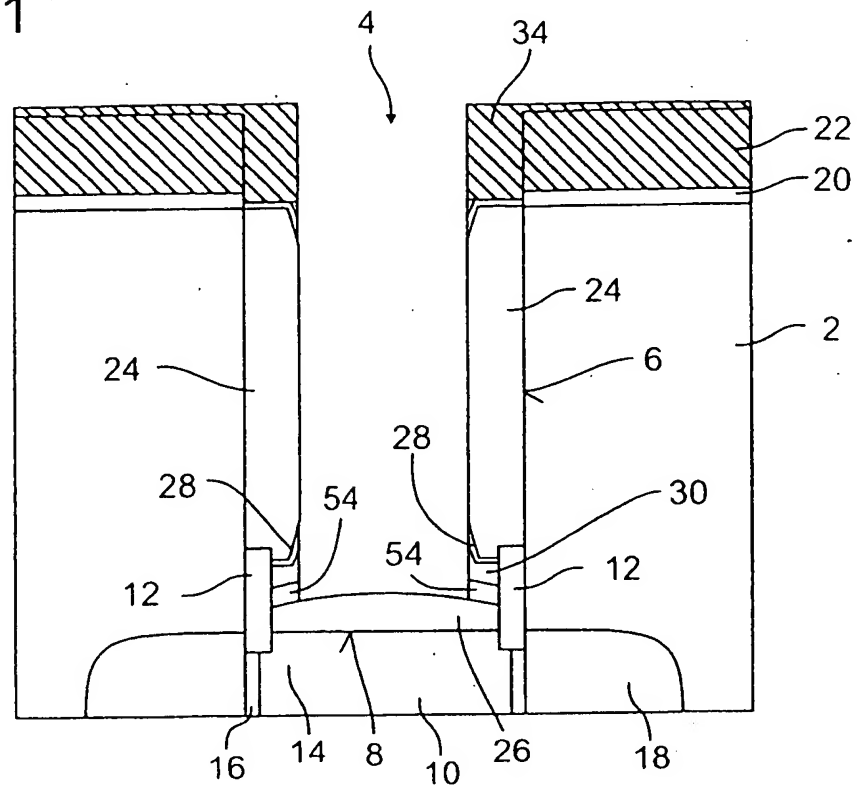


Fig. 3

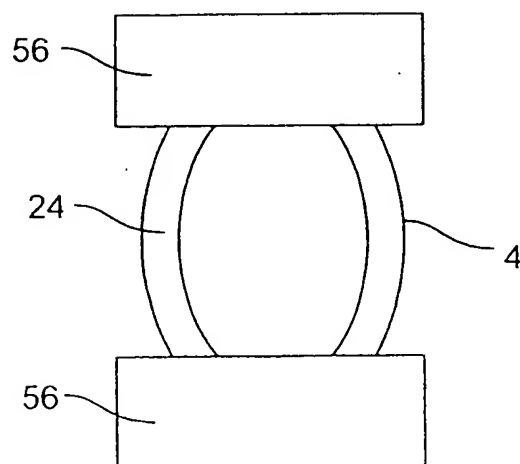


Fig. 1-1

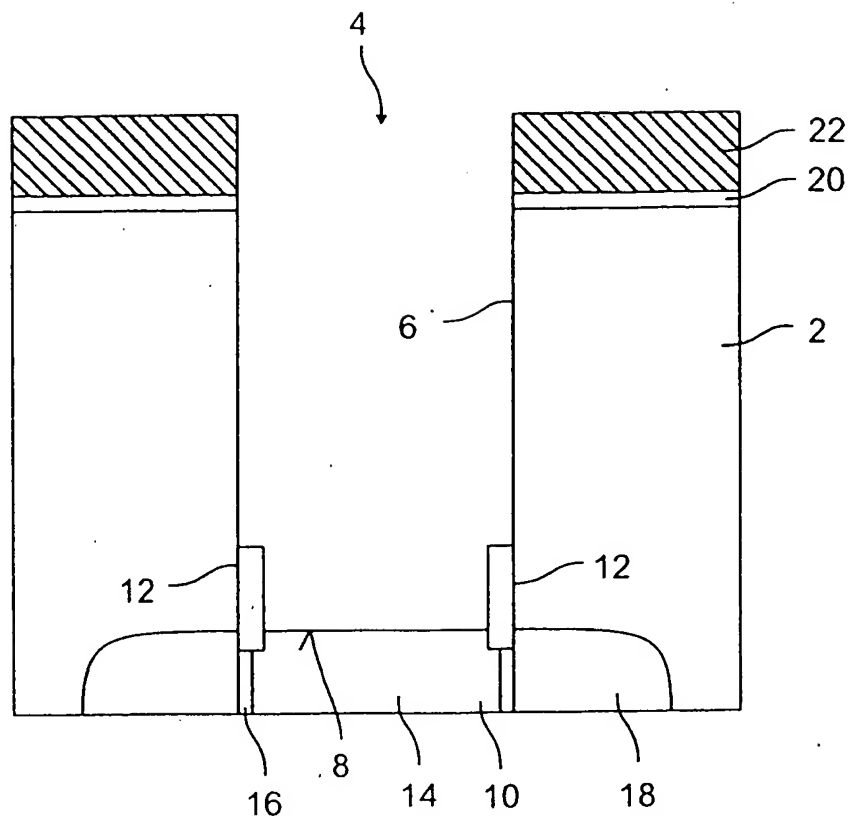
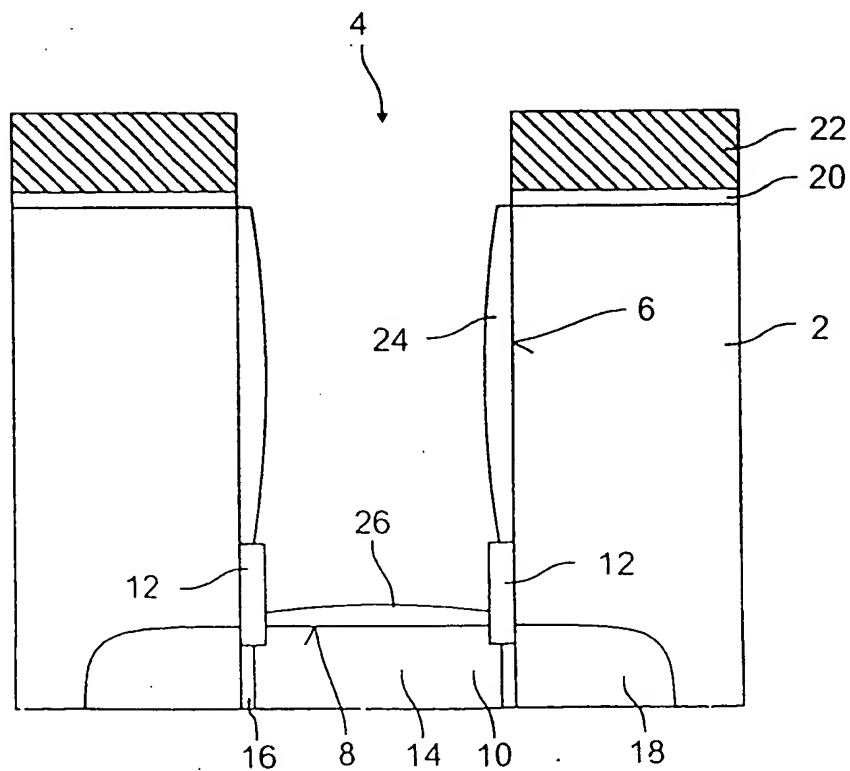


Fig. 1-2





**METHOD FOR PRODUCING A VERTICAL TRANSISTOR IN A TRENCH  
AND A CORRESPONDING VERTICAL TRANSISTOR**

Patent Number: WO03010826  
Publication date: 2003-02-06  
Inventor(s): BIRNER ALBERT (DE); LUETZEN JOERN (DE)  
Applicant(s): BIRNER ALBERT (DE); LUETZEN JOERN (DE); INFINEON TECHNOLOGIES AG (DE)  
Requested Patent: DE10136333  
Application Number: WO2002EP07593 20020708  
Priority Number(s): DE20011036333 20010726  
IPC Classification: H01L29/00  
EC Classification:  
Equivalents:  
Cited Documents:

**Abstract**

In order to produce a vertical transistor, a trench (4) is provided whose lateral wall (6) is formed by a monocrystalline semiconductor substrate (2) and whose bottom (8) is formed by a polycrystalline semiconductor substrate (10). A transition region (12) made of an insulating material is placed between the lateral wall (6) and the bottom (8). A semiconductor layer is deposited selective to the material of the transition region (12) whereby enabling an epitaxial semiconductor layer (24) to grow on the lateral wall (6) and a semiconductor layer (26) to grow on the bottom (8), whereby these a space remains between these layers. The deposited semiconductor layers (24, 26) are covered with a thin dielectric (28) that only partially limits a current flow, and the space is filled with a conductive material (30). During a subsequent thermal treatment, dopants diffuse out of the conductive material (30) and into the epitaxial semiconductor layer (26) and form a dopant region (44) therein. The thin dielectric (28) limits the diffusion of the dopants into the semiconductor substrate (2) and prevents the spreading of crystal lattice faults into the epitaxial semiconductor layer (26).

Data supplied from the esp@cenet database - I2